

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masatoshi ANMA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE INCLUDING ELECTRODE OR THE LIKE HAVING OPENING  
CLOSED AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-329218	November 13, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月13日

出 願 番 号

Application Number:

特願2002-329218

[ ST.10/C ]:

[ JP2002-329218 ]

出 願 人

Applicant(s):

三菱電機株式会社

2002年12月10日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3097700

【書類名】 特許願

【整理番号】 540130JP01

【提出日】 平成14年11月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108  
H01L 21/8242

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 安間 正俊

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 竹内 雅彦

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 キャパシタを含んだ半導体装置であって、  
上面及び側面を有すると共に前記上面に開口を有する、前記キャパシタの下部電極と、

前記開口内において入り口付近に少なくとも配置されており、前記下部電極の材料を組成の一部として含む導電体又は絶縁体と、

前記下部電極の前記上面及び前記側面に対面するように配置された、前記キャパシタの誘電体膜と、

前記誘電体膜を介して前記下部電極に対面するように配置された、前記キャパシタの上部電極と、を備える、  
半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、  
前記導電体又は前記絶縁体は前記開口内から引き続いて前記下部電極の前記上面上にも配置されている、  
半導体装置。

【請求項 3】 請求項 2 に記載の半導体装置であって、  
前記導電体又は前記絶縁体は前記下部電極の前記上面上から引き続き前記下部電極の前記側面上にも配置されている、  
半導体装置。

【請求項 4】 キャパシタを含んだ半導体装置であって、  
開口を有する、前記キャパシタの下部電極と、  
前記開口を埋め尽くすことなく前記開口の底部に配置された絶縁体と、  
前記開口を埋め尽くすことなく前記絶縁体上及び前記下部電極上に配置された、前記キャパシタの誘電体膜と、  
前記誘電体膜上に配置された、前記キャパシタの上部電極と、を備える、  
半導体装置。

【請求項 5】 請求項 4 に記載の半導体装置であって、

前記下部電極は、前記開口内において粗面化された内表面、及び／又は、前記開口が入り口から前記底部に向かって狭くなるような形状、を有している、半導体装置。

【請求項 6】 プラグを含んだ半導体装置であって、  
穴を有する層間膜と、  
前記穴の入り口に開口を有して前記穴内に配置されたプラグ本体と、  
前記プラグ本体の前記開口を塞ぐように前記穴内及び前記穴の外に配置されており且つ前記層間膜には接しないように配置されており、前記プラグ本体の材料を組成の一部として含む導電体と、を備え、  
前記プラグは、前記プラグ本体及び前記導電体を含む、半導体装置。

【請求項 7】 半導体装置の製造方法であって、  
(a)層間膜を形成し、前記層間膜を開口して穴を形成する工程と、  
(b)前記層間膜上に導電膜を形成して前記穴内に前記導電膜を配置する工程と、  
(c)前記導電膜のうちで前記穴の外の部分を除去して前記層間膜を露出させる工程と、  
(d)前記導電膜の露出表面を酸化、シリサイド化、又は、窒化して酸化膜、シリサイド膜、又は、窒化膜を形成する工程と、を備える、  
半導体装置の製造方法。

【請求項 8】 請求項 7 に記載の半導体装置の製造方法であって、  
前記工程(d)は、プラズマ酸化又はプラズマ窒化によって前記酸化膜又は前記窒化膜を形成する工程を含む、  
半導体装置の製造方法。

【請求項 9】 請求項 7 又は請求項 8 に記載の半導体装置の製造方法であって、  
前記半導体装置は、前記導電膜のうちで前記穴内の部分を下部電極として含むキャパシタを備え、  
前記製造方法は、

(e)前記工程(c)の後に前記層間膜を除去して前記下部電極の側面を露出させる工程と、

(f)前記工程(d)及び(e)の後に前記下部電極の上面及び前記側面に対面するように前記キャパシタの誘電体膜を形成する工程と、

(g)前記誘電体膜を介して前記下部電極に対面するように前記キャパシタの上部電極を形成する工程と、を更に備える、  
半導体装置の製造方法。

【請求項 1 0】 請求項 9 に記載の半導体装置の製造方法であって、  
前記工程(e)を前記工程(d)の前に実施する、  
半導体装置の製造方法。

【請求項 1 1】 請求項 9 又は請求項 1 0 に記載の半導体装置の製造方法であって、

前記工程(e)は、前記層間膜の一部を残すように前記層間膜を除去する工程を含む、  
半導体装置の製造方法。

【請求項 1 2】 請求項 7 乃至請求項 1 1 のいずれかに記載の半導体装置の製造方法であって、

(h)前記酸化膜、シリサイド膜、又は、窒化膜のうちで前記穴の外の部分を除去する工程を、更に備える、  
半導体装置の製造方法。

【請求項 1 3】 キャパシタを含んだ半導体装置の製造方法であって、  
(i)層間膜を形成し、前記層間膜を開口して穴を形成する工程と、  
(j)前記穴内の露出表面に沿って導電膜を形成する工程と、  
(k)前記穴を埋めるように前記導電膜上に絶縁体を形成する工程と、  
(l)前記導電膜のうちで前記穴の外の部分を除去して前記層間膜を露出させることにより、前記導電膜から前記キャパシタの下部電極を形成する工程と、  
(m)前記穴に対応する前記下部電極の開口の底部に前記絶縁体の一部を残すように前記絶縁体を除去する工程と、  
(n)前記層間膜を除去して前記下部電極を露出させる工程と、

(o)前記工程(m)及び(n)の後に前記開口を埋め尽くすことなく前記絶縁体上及び前記下部電極上に前記キャパシタの誘電体膜を形成する工程と、

(p)前記誘電体膜上に前記キャパシタの上部電極を形成する工程と、を備える、  
半導体装置の製造方法。

【請求項 1 4】 請求項 1 3 に記載の半導体装置の製造方法であって、  
前記工程(n)は、前記層間膜の一部を残すように前記層間膜を除去する工程を含む、  
半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は半導体装置及びその製造方法に関し、より具体的には例えばピラー (pillar) 型キャパシタの下部電極等の開口に起因した不具合を防止して、半導体装置の信頼性を向上させる技術に関する。

【0 0 0 2】

【従来の技術】

DRAM (Dynamic Random Access Memory) 等のメモリデバイスは例えばピラー (pillar) 型キャパシタを含んでおり、従来、ピラー型キャパシタは次のように製造される。まず、層間膜に穴を開け、キャパシタの下部電極用の膜を例えば CVD (Chemical Vapor Deposition) 法によって形成して当該穴を埋める。その後、下部電極用膜が穴内にのみ残るように例えばCMP (Chemical Mechanical Polishing) 処理やドライエッチング処理を実施する。層間膜の一部あるいは全部を除去し、処理後に残った膜が下部電極になる。そして、下部電極を覆うようにキャパシタを成す誘電体膜及び上部電極を順次に形成することにより、ピラー型キャパシタが完成する。

【0 0 0 3】

なお、メモリデバイスのキャパシタは例えば特許文献 1 ～ 3 において紹介されている。



【 0 0 0 4 】

【特許文献 1】

特開 2 0 0 0 - 2 2 3 6 7 1 号公報 (図 1 1)

【特許文献 2】

特開 2 0 0 0 - 1 5 6 4 7 6 号公報 (図 2 0 ～図 3 0)

【特許文献 3】

特開 2 0 0 0 - 2 5 2 4 4 1 号公報 (図 2 及び図 3)

【 0 0 0 5 】

【発明が解決しようとする課題】

上述のように、従来の製造方法では例えば C V D 法によって層間膜の穴に下部電極用の膜を埋め込む。このとき、成膜が進むにつれて穴のアスペクト比は上がる（成膜の終期では無限大になると捉えられる）ため、形成した下部電極用膜において穴内にボイドが発生してしまう。なお、ボイドは穴の当初のアスペクト比が大きいほど発生しやすい。ボイドを有する下部電極用膜にその後の C M P 処理等を施すと、ボイドは下部電極の露出表面に現れて該電極に開口を形成する。キャパシタの誘電体膜及び上部電極は開口内にも形成されるが、これらの膜を十分な厚さで以て開口内に形成するのは困難である。このため、開口内では誘電体膜が局所的に薄くなり、この薄い部分を介して上部電極と下部電極との間に漏れ電流が流れてしまう。つまり、キャパシタとしての電荷保持特性が得られなくなってしまう。なお、ここではピラー型キャパシタを例に挙げたが、一般的に開口内に膜を形成する場合には種々の問題が生じる。

【 0 0 0 6 】

この発明はかかる点に鑑みてなされたものであり、例えばピラー型キャパシタの下部電極の開口に起因した上述の不具合を防止して、半導体装置の信頼性を向上させることを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

この発明によれば、半導体装置は下部電極と上部電極と誘電体膜とを含み、更に下部電極の材料を組成の一部として含む導電体又は絶縁体を含んでいる。下部

電極は上面及び側面を有すると共に上面に開口を有している。導電体又は絶縁体は上記開口内において入り口付近に少なくとも配置されている。誘電体膜は下部電極の上面及び側面に対面するように配置されており、上部電極は誘電体膜を介して下部電極に対面するように配置されている。

## 【 0 0 0 8 】

あるいは、この発明によれば、半導体装置は下部電極と上部電極と誘電体膜とを含み、更に絶縁体を含んでいる。下部電極は開口を有しており、当該開口を埋め尽くすことなく開口の底部に絶縁体が配置されている。誘電体膜は上記開口を埋め尽くすことなく絶縁体上及び下部電極上に配置されており、上部電極は誘電体膜上に配置されている。

## 【 0 0 0 9 】

あるいは、この発明によれば、半導体装置は層間膜とプラグとを含んでおり、当該プラグはプラグ本体と当該プラグ本体の材料を組成の一部として含む導電体とを含んでいる。層間膜は穴を有している。プラグ本体は上記穴の入り口に開口を有して該穴内に配置されており、導電体がプラグ本体の開口を塞ぐように上記穴内及び該穴の外に配置されており、又、層間膜には接しないように配置されている。

## 【 0 0 1 0 】

また、この発明によれば、半導体装置の製造方法は次の工程(a)～(d)を含んでいる。工程(a)では層間膜を形成し、当該層間膜を開口して穴を形成する。工程(b)では層間膜上に導電膜を形成して上記穴内に当該導電膜を配置する。工程(c)では導電膜のうちで穴の外の部分を除去して層間膜を露出させる。工程(d)では導電膜の露出表面を酸化、シリサイド化、又は、窒化して酸化膜、シリサイド膜、又は、窒化膜を形成する。

## 【 0 0 1 1 】

あるいは、この発明によれば、キャパシタを含んだ半導体装置の製造方法は次の工程(i)～(p)を含んでいる。工程(i)では層間膜を形成し、当該層間膜を開口して穴を形成する。工程(j)では上記穴内の露出表面に沿って導電膜を形成する。工程(k)では上記穴を埋めるように導電膜上に絶縁体を形成する。工程(l)では

導電膜のうちで穴の外の部分を除去して層間膜を露出させることにより、導電膜からキャパシタの下部電極を形成する。工程(m)では上記穴に対応する下部電極の開口の底部に絶縁体の一部を残すように絶縁体を除去する。工程(n)では層間膜を除去して下部電極を露出させる。工程(o)では工程(m)及び(n)の後に上記開口を埋め尽くすことなく絶縁体上及び下部電極上にキャパシタの誘電体膜を形成する。工程(p)では誘電体膜上にキャパシタの上部電極を形成する。

## 【 0 0 1 2 】

## 【発明の実施の形態】

## 実施の形態 1.

図 1 に実施の形態 1 に係る半導体装置 1 0 0 を説明するための断面図を示し、図 2 に実施の形態 1 に係るキャパシタ構造ないしはキャパシタ 1 0 を説明するための断面図を示す。なお、図 2 は図 1 の一部拡大図である。ここでは半導体装置 1 0 0 として D R A M (Dynamic Random Access Memory) を例示するが、後述のキャパシタ 1 0 等の適用は D R A M に限らない。

## 【 0 0 1 3 】

図 1 に示すように、半導体装置 1 0 0 では、半導体基板 1 の素子形成領域内に、D R A M のメモリセルを選択するための例えば M I S (Metal-Insulator-Semiconductor) 型のトランジスタ 1 1 0 が形成されており、トランジスタ 1 1 0 の一方のソース／ドレイン領域はプラグ 1 1 1 を介して配線（ビット線） 1 1 2 に接続されており、他方のソース／ドレイン領域はプラグ 9 を介してキャパシタ 1 0 に接続されている。なお、トランジスタ 1 1 0 は例えばシリコン酸化膜から成る層間膜 2 に覆われており、上記要素 1 1 0, 1 1 1, 1 1 2, 9 は層間膜 2 内に配置されている。

## 【 0 0 1 4 】

キャパシタ 1 0 は層間膜 2 上に配置されており、例えばシリコン酸化膜から成る層間膜 3 で覆われている。なお、層間膜 2, 3 間には例えばシリコン窒化膜から成り後述のようにストッパ膜としても働く層間膜 8 が配置されている。このとき、キャパシタ 1 0 は層間膜 2, 3, 8 を総称した「層間膜」内に配置されていると捉えることができる。

## 【 0 0 1 5 】

なお、図 1 には、単一の素子形成領域内に配置された 2 つのトランジスタ 1 1 0 が、配線 1 1 2 に接続されるソース／ドレイン領域及びプラグ 1 1 1 を共有しており、又、上記 2 つのトランジスタ 1 1 0 に接続された 2 つのキャパシタ 1 0 がキャパシタ誘電体膜 1 2 及び上部電極 1 3 を共有している場合を図示している。

## 【 0 0 1 6 】

半導体基板 1 の他の素子形成領域内には D R A M の周辺回路用の例えば M I S 型トランジスタ 1 2 0 が形成されており、トランジスタ 1 2 0 の各ソース／ドレイン領域はそれぞれプラグ 1 2 1 を介して配線又は配線中継部 1 2 2 に接続されている。これらの要素 1 2 0, 1 2 1, 1 2 2 は層間膜 2 に覆われている。

## 【 0 0 1 7 】

そして、配線 1 2 2 上には層間膜 2, 8, 3 に渡るビアホールないしはコンタクトホール 8 5 A が形成されており、ビアホール 8 5 A 内にはプラグ 8 0 1 が配置されている。なお、プラグ 8 0 1 については後述の実施の形態 8 で詳述する。プラグ 8 0 1 に接するように層間膜 3 の上面 3 T 上には配線 1 3 2 が配置されている。

## 【 0 0 1 8 】

次に図 2 を参照してキャパシタ 1 0 を説明する。キャパシタ 1 0 はスタック (stack) 型のキャパシタであり、より具体的にはその中でもピラー (pillar) 型と呼ばれる。キャパシタ 1 0 は、下部電極 1 1 と、上部電極 1 3 と、両電極 1 1, 1 3 間に配置されたキャパシタ誘電体膜 1 2 と、を含んでいる。電極 1 1, 1 3 は例えばルテニウム (R u) から成り、誘電体膜 1 2 は例えば酸化タンタル ( $T a_2O_5$ ) から成る。特にキャパシタ 1 0 は更に酸化ルテニウム膜 (ないしは導電体) 1 4 を含んでいる。なお、下部電極は「ストレージノード電極」とも呼ばれ、上部電極は「セルプレート電極」とも呼ばれる。

## 【 0 0 1 9 】

下部電極 1 1 は、互いに対向する上面 1 1 T 及び下面 1 1 B と、両表面 1 1 T, 1 1 B を繋ぐ側面 1 1 W と、を有する例えば円柱形をしている。下部電極 1 1

の下面 1 1 B は層間膜 2 (図 1 参照) 及び当該層間膜 2 内のプラグ 9 に接している。なお、下部電極 1 1 は層間膜 2 (図 1 参照) 上の層間膜ないしはストッパ膜 8 の開口 (貫通孔) を介して層間膜 2 上に配置されており、換言すればストッパ膜 8 は下部電極 1 1 の下面 1 1 B 付近において下部電極 1 1 を取り囲むように (接するように) 層間膜 2 上に配置されている。

## 【 0 0 2 0 】

下部電極 1 1 はその上面 1 1 T に開いた凹部ないしは開口 1 1 A を有している。開口 1 1 A は下部電極 1 1 の下面 1 1 B には達しておらず、下部電極 1 1 を貫通してはいない。なお、図 2 では開口 1 1 A の底部が急峻な場合を図示しているが、丸まっている場合もある。

## 【 0 0 2 1 】

特に、下部電極 1 1 の上面 1 1 T 上には開口 1 1 A の入り口を塞ぐように酸化ルテニウム膜 1 4 が配置されている (積層されている)。なお、酸化ルテニウム膜 1 4 は導電体であり、下部電極 1 1 の材料であるルテニウムを組成の一部として含んでいる。酸化ルテニウム膜 1 4 は、下部電極 1 1 の上面 1 1 T 側から開口 1 1 A に蓋をし且つ開口 1 1 A に栓をするような形状を有している。具体的には、酸化ルテニウム膜 1 4 は、開口 1 1 A 内においてその入り口付近に配置されているのみならず、開口 1 1 A 内全体に配置されており、更に、開口 1 1 A 内から引き続いて下部電極 1 1 の上面 1 1 T 上に延在している。なお、酸化ルテニウム膜 1 4 は下部電極 1 1 の上面 1 1 T 及び開口 1 1 A 内の表面に接している。また、酸化ルテニウム膜 1 4 の上面 (下部電極 1 1 と接する表面に対向した表面) 1 4 T は下部電極 1 1 の上面 1 1 T 以上の高いレベルにあり、すなわち開口 1 1 A 内に落ち込んではいない。

## 【 0 0 2 2 】

後述の製造方法から明らかになるが、酸化ルテニウム膜 1 4 は、下部電極 1 1 の上面 1 1 T の全面に接しており、下部電極 1 1 の側面 1 1 W になめらかに (段差無く) 続く側面を有している (つまり酸化ルテニウム膜 1 4 は下部電極 1 1 と同じ平面パターンを有している)。なお、図 2 には開口 1 1 A が完全に充填されている場合を図示しているが、開口 1 1 A の例えば底部に空洞があっても構わな

い（後述の図 9 の酸化ルテニウム膜 2 4 を参照）。

#### 【 0 0 2 3 】

そして、下部電極 1 1 の上面 1 1 T 及び側面 1 1 W に対面するように誘電体膜 1 2 が配置されており、更に誘電体膜 1 2 を介して下部電極 1 1 の上面 1 1 T 及び側面 1 1 W に対面するように上部電極 1 3 が配置されている。詳細には、キャパシタ 1 0 では、誘電体膜 1 2 は酸化ルテニウム膜 1 4、下部電極 1 1（の側面 1 1 W）及びストッパ膜 8 に接して延在しており、下部電極 1 1 及び酸化ルテニウム膜 1 4 を下部電極 1 1 の上面 1 1 T 側から覆っている。そして、誘電体膜 1 2 上に、下部電極 1 1 及び酸化ルテニウム膜 1 4 を覆うように上部電極 1 3 が延在している。上述のように酸化ルテニウム膜 1 4 の上面 1 4 T は開口 1 1 A 内に落ち込んではいないので、誘電体膜 1 2 及び上部電極 1 3 は開口 1 1 A 内に進入していない。なお、誘電体膜 1 2 及び上部電極 1 3 のうちでストッパ膜 8 上の部分の大きさは任意であり、かかる点は後述の図 9 のキャパシタ 2 0 等においても同様である。

#### 【 0 0 2 4 】

次に、図 3 ～図 8 の断面図を参照しつつキャパシタ 1 0 の製造方法を説明する。まず、プラグ 9 を有する層間膜 2（図 1 参照）までが形成された状態の基板を準備する。なお、かかる状態の基板ではプラグ 9 の上面が層間膜 2 から露出している。

#### 【 0 0 2 5 】

そして、図 3 に示すように、例えば C V D（Chemical Vapor Deposition）法によって、層間膜 2 上にストッパ膜 8（例えばシリコン窒化膜）及び層間膜 1 5（例えばシリコン酸化膜）をこの順序で形成する。なお、上述のようにストッパ膜 8 は層間膜としても働くので、膜 8、1 5 を総称して「層間膜」とも呼ぶことができる。

#### 【 0 0 2 6 】

次に、層間膜 1 5 及びストッパ膜 8 を開口して穴 1 5 A を形成する。具体的には、フォトリソグラフィ技術及びドライエッチング技術によって、層間膜 1 5 に当該層間膜 1 5 の露出面ないしは上面 1 5 T に開口した穴 1 5 A を形成する。こ

の際、ストッパ膜 8 がドライエッチング時のストッパ膜として働く。続いて、穴 1 5 A 内に露出したストッパ膜 8 を除去し、これにより穴 1 5 A を層間膜 2 (図 1 参照) の表面にまで到達させ、穴 1 5 A 内にプラグ 9 の上面を露出させる。

【 0 0 2 7 】

その後、図 4 に示すように、例えば CVD 法や PVD (Physical Vapor Deposition) 法によって、穴 1 5 A を埋めるように層間膜 1 5 上にルテニウム膜 (ないしは導電膜) 1 1 P を形成する。そして、図 5 に示すように、例えば CMP (Chemical Mechanical Polishing) 法やドライエッチバック法によってルテニウム膜 1 1 P のうちで穴 1 5 A の外の部分を除去し、層間膜 1 5 を露出させる。かかる除去工程後に穴 1 5 A 内に残ったルテニウム膜 1 1 が下部電極 1 1 になる。なお、複数のキャパシタ 1 0 を同時に形成する場合、当該除去工程によって各キャパシタ 1 0 の下部電極 1 1 が互いに分離される。

【 0 0 2 8 】

ここで、ルテニウム膜 1 1 P の形成時に穴 1 5 A 内にボイドが形成され (図 4 参照)、且つ、当該ボイドがルテニウム膜 1 1 P の一部除去工程後に露出表面に現れた場合には、当該ボイドが上述の開口 1 1 A になる。なお、ルテニウム膜 1 1 P 内のボイドは開口 1 1 A に成りうるが、半導体装置 1 0 0 内の全ての下部電極 1 1 に開口 1 1 A が発生するとは限らない。

【 0 0 2 9 】

次に、図 6 に示すように、熱酸化法 (例えば酸化性雰囲気中における 5 5 0 °C ~ 8 0 0 °C の熱処理) によってルテニウム膜 1 1 の露出表面、具体的には上面 1 1 T 及び開口 1 1 A の内表面を酸化する。これにより、ルテニウム膜 1 1 に接する酸化ルテニウム膜 1 4 が形成される。このとき、酸化ルテニウム膜 1 4 の形成時の体積膨張によって開口 1 1 A が埋められ、開口 1 1 A の入り口が塞がれる。

【 0 0 3 0 】

そして、図 7 に示すように少なくともルテニウム膜 1 1 付近の層間膜 1 5 をフッ化水素酸溶液等によって除去し、ルテニウム膜 1 1 の側面 1 1 W を露出させる。この際、ストッパ膜 8 がウエットエッチング時のストッパ膜として働く。その後、図 8 に示すようにルテニウム膜 1 1、すなわち下部電極 1 1 を覆うように誘

電体膜 1 2 を形成し、更に誘電体膜 1 2 を覆うように上部電極 1 3 を形成することにより、図 2 のキャパシタ 1 0 が得られる。なお、図 1 に示すように複数のキャパシタ 1 0 で誘電体膜 1 2 及び上部電極 1 3 を共有する場合、これらのキャパシタ 1 0 に対して同時に誘電体膜 1 2 及び上部電極 1 3 を形成する。

## 【 0 0 3 1 】

さて、従来のキャパシタのように酸化ルテニウム膜 1 4 が無ければ、開口 1 1 A の底部付近に薄い誘電体膜 1 2 が形成され当該薄い誘電体膜 1 2 に起因して電極 1 1, 1 3 間に漏れ電流が発生する。しかしながら、キャパシタ 1 0 では酸化ルテニウム膜 1 4 によって開口 1 1 A ( の入り口 ) が塞がれており開口 1 1 A の底部付近には誘電体膜 1 2 及び上部電極 1 3 が進入していないので、キャパシタ 1 0 によればそのような漏れ電流を抑制・防止することができる。従って、キャパシタ 1 0 は良好な電荷保持特性を有し、その結果、半導体装置 1 0 0 の信頼性は従来のキャパシタを有する半導体装置に比べて高くなる。

## 【 0 0 3 2 】

このとき、従来のキャパシタでは開口内の誘電体膜を厚くするれば漏れ電流を抑制可能と考えられるが、開口の外の誘電体膜も厚くなってしまうのでキャパシタの容量低下を招いてしまう。これに対して、キャパシタ 1 0 によれば、漏れ電流対策として誘電体膜 1 2 を厚くする必要が無いので、そのような容量低下は惹起されない。

## 【 0 0 3 3 】

なお、上記特許文献 1 ( 特開 2 0 0 0 - 2 2 3 6 7 1 号公報 ) には、ルテニウム膜を例えばスパッタ法や C V D 法で全面的に形成し、フォトリソグラフィ技術を用いて当該膜をパターニングすることによって、下部電極を形成する技術が紹介されている。しかし、このような形成方法によればルテニウム膜には開口が生じ得ず、ルテニウム膜上に例えばシリコン酸化膜を形成した後に両膜をパターニングする技術が説明されているが、当該シリコン酸化膜はルテニウム膜の開口を塞ぐものではない。なお、シリコン酸化膜は組成の一部にルテニウムを含まない。また、該文献の [ 0 1 6 8 ] 段落には下部電極をルテニウム膜及び酸化ルテニウム膜の積層膜で形成可能であると述べられているが、該段落には酸化ルテニウ



ム膜をルテニウム膜の酸化によって形成するという方法は紹介されていない。

【 0 0 3 4 】

実施の形態 2.

図 9 に実施の形態 2 に係るキャパシタ 2 0 を説明するための断面図を示す。なお、キャパシタ 2 0 はキャパシタ 1 0 に変えて図 1 の半導体装置 1 0 0 に適用可能である。

【 0 0 3 5 】

キャパシタ 2 0 は図 2 のキャパシタ 1 0 の酸化ルテニウム膜 1 4 を酸化ルテニウム膜 2 4 に変えた構造を有しており、キャパシタ 2 0 のその他の構成は図 2 のキャパシタ 1 0 と基本的に同様である。図 9 に示すように酸化ルテニウム膜 2 4 の形状は、図 2 の酸化ルテニウム膜 1 4 が開口 1 1 A の底部付近にまで到達しておらず開口 1 1 A 内を完全には充填していない場合にあたる。なお、酸化ルテニウム膜 2 4 の上面 2 4 T は酸化ルテニウム膜 1 4 の上面 1 4 T (図 2 参照) に対応する。

【 0 0 3 6 】

次に、図 1 0 ~ 図 1 2 の断面図を参照しつつキャパシタ 2 0 の製造方法を説明する。まず、例えばキャパシタ 1 0 の製造方法を用いて図 5 の状態の基板を得る。

【 0 0 3 7 】

そして、図 1 0 に示すように、酸化性雰囲気中でのプラズマによって（いわゆるプラズマ酸化法によって）ルテニウム膜 1 1 の露出表面を酸化する。これにより、ルテニウム膜 1 1 に接する酸化ルテニウム膜 2 4 が形成され、開口 1 1 A の入り口が塞がれる。

【 0 0 3 8 】

その後、例えばキャパシタ 1 0 の製造方法を用いて、層間膜 1 5 を除去し（図 1 1 参照）、誘電体膜 1 2 を形成し（図 1 2 参照）、上部電極 1 3 を形成することにより、図 9 のキャパシタ 2 0 が得られる。

【 0 0 3 9 】

酸化ルテニウム膜 2 4 によってキャパシタ 2 0 はキャパシタ 1 0 と同様の効果

を奏する。更に、プラズマ酸化法はキャパシタ 1 0 の製造方法で用いる熱酸化法よりも低温プロセスなので、キャパシタ 2 0 によれば、例えば、既に形成されている不純物層（トランジスタ 1 1 0, 1 2 0 のソース／ドレイン領域等）のプロファイルが変化するのを抑制することができ、半導体装置 1 0 0 の信頼性を高めることができる。

## 【 0 0 4 0 】

実施の形態 3.

図 1 3 に実施の形態 3 に係るキャパシタ 3 0 を説明するための断面図を示す。なお、キャパシタ 3 0 はキャパシタ 1 0 に変えて図 1 の半導体装置 1 0 0 に適用可能である。

## 【 0 0 4 1 】

キャパシタ 3 0 は図 2 のキャパシタ 1 0 の酸化ルテニウム膜 1 4 を酸化ルテニウム膜 3 4 に変えた構造を有しており、キャパシタ 3 0 のその他の構成は図 2 のキャパシタ 1 0 と基本的に同様である。

## 【 0 0 4 2 】

図 1 3 に示すように酸化ルテニウム膜 3 4 は、図 2 の酸化ルテニウム膜 1 4 と同様の形状の部分と、下部電極 1 1 の側面 1 1 W 上に配置された（側面 1 1 W に接する）部分と、を含んでいる。これら両部分は互いに結合しており、従って酸化ルテニウム膜 3 4 は下部電極 1 1 の上面 1 1 T 上から引き続き下部電極 1 1 の側面 1 1 W 上にも配置されている（延在している）。酸化ルテニウム膜 3 4 は、酸化ルテニウム膜 1 4 の上面 1 4 T（図 2 参照）に対応する上面 3 4 T を有している。なお、酸化ルテニウム膜 3 4 において側面 1 1 W 上の部分の端部はストッパ膜 8 に接している。

## 【 0 0 4 3 】

酸化ルテニウム膜 1 4, 3 4 の形状の違いに起因して、キャパシタ 3 0 では誘電体膜 1 2 は酸化ルテニウム膜 3 4 及びストッパ膜 8 に接して延在している。このとき、誘電体膜 1 2 は下部電極 1 1 に接してはいないが、酸化ルテニウム膜 3 4 を介して下部電極 1 1 の上面 1 1 T 及び側面 1 1 W に対面している。また、上部電極 1 3 は誘電体膜 1 2 及び酸化ルテニウム膜 3 4 を介して下部電極 1 1 に対

面している。

【 0 0 4 4 】

次に、図 1 4 ～ 図 1 6 の断面図を参照しつつキャパシタ 3 0 の製造方法を説明する。まず、例えばキャパシタ 1 0 の製造方法を用いて図 5 の状態の基板を得る。

【 0 0 4 5 】

既述のキャパシタ 1 0 の製造方法では酸化ルテニウム膜 1 4 の形成工程及び層間膜 1 5 の除去工程をこの順序で実施するが、キャパシタ 3 0 の製造方法ではこれらの工程を順序を入れ替えて実施する。すなわち、酸化ルテニウム膜 3 4 の形成前に層間膜 1 5 を除去する。具体的には、図 1 4 に示すように、少なくともルテニウム膜 1 1 付近の層間膜 1 5 を除去して、ルテニウム膜 1 1 の側面 1 1 W を露出させる。その後、図 1 5 に示すように、例えば熱酸化法によってルテニウム膜 1 1 の露出表面、すなわち上面 1 1 T、側面 1 1 W 及び開口 1 1 A の内表面を酸化する。これにより、ルテニウム膜 1 1 に接する酸化ルテニウム膜 3 4 が形成される。このとき、酸化ルテニウム膜 3 4 によって開口 1 1 A が埋められ、開口 1 1 A の入り口が塞がれる。

【 0 0 4 6 】

その後、例えばキャパシタ 1 0 の製造方法を用いて、誘電体膜 1 2 を形成し（図 1 6 参照）、上部電極 1 3 を形成することにより、図 1 3 のキャパシタ 3 0 が得られる。

【 0 0 4 7 】

酸化ルテニウム膜 3 4 によってキャパシタ 3 0 はキャパシタ 1 0 と同様の効果を奏し、更に次のような効果も得られる。誘電体膜 1 2 において両電極 1 1、1 3 間の部分は、図 2 のキャパシタ 1 0 ではルテニウムから成る下部電極 1 1 及び酸化ルテニウム膜 1 4 の両方に接しているのに対して、キャパシタ 3 0 では酸化ルテニウム膜 3 4 に接するのみである。このため、キャパシタ 3 0 によれば誘電体膜 1 2 は単一の下地上に形成されるので、誘電体膜 1 2 として例えば結晶性材料を用いる場合に該膜 1 2 を均質に（局所的に特性が変化しないように）形成可能である。その結果、半導体装置 1 0 0 の信頼性を高めることができる。

【 0 0 4 8 】

なお、下地として酸化ルテニウムとルテニウムとのいずれがより好ましいか、すなわち酸化ルテニウムとルテニウムとのいずれの表面が広いかという観点から、キャパシタ 1 0, 3 0 や後述の図 4 2 に示すキャパシタ 9 0 等を選択してもよい。

【 0 0 4 9 】

上述の説明では酸化ルテニウム膜 3 4 の形成に熱酸化法を用いたが、プラズマ酸化法を用いることも可能である。

【 0 0 5 0 】

実施の形態 4 .

図 1 7 に実施の形態 4 に係るキャパシタ 4 0 を説明するための断面図を示す。なお、キャパシタ 4 0 はキャパシタ 1 0 に変えて図 1 の半導体装置 1 0 0 に適用可能である。

【 0 0 5 1 】

キャパシタ 4 0 は図 2 のキャパシタ 1 0 の酸化ルテニウム膜 1 4 をルテニウムシリサイド膜 4 4 に変えた構造を有しており、キャパシタ 4 0 のその他の構成は図 2 のキャパシタ 1 0 と基本的に同様である。なお、ルテニウムシリサイド膜 4 4 は、酸化ルテニウム膜 1 4 の上面 1 4 T (図 2 参照) に対応する上面 4 4 T を有している。図 1 7 ではルテニウムシリサイド膜 4 4 が図 2 の酸化ルテニウム膜 1 4 と同様の形状の場合を図示しているが、ルテニウムシリサイド膜 4 4 は図 9 の酸化ルテニウム膜 2 4 と同様に開口 1 1 A の底部付近にまで到達していなくても構わない。

【 0 0 5 2 】

次に、図 1 8 ~ 図 2 2 の断面図を参照しつつキャパシタ 4 0 の製造方法を説明する。まず、例えばキャパシタ 1 0 の製造方法を用いて図 5 の状態の基板を得る。

【 0 0 5 3 】

そして、図 1 8 に示すように、ルテニウム膜 1 1 の露出表面上及び層間膜 1 5 の露出表面上に、例えば C V D 法や P V D 法によってシリコン膜 4 6 を形成する

。この際、開口11A内にもシリコン膜46が堆積する。次に、図19に示すように、シリコン膜46とルテニウム膜11とを反応させてルテニウムシリサイド膜44を形成し、ルテニウムシリサイド膜44によって開口11Aを塞ぐ。このとき、シリコン膜46を開口11Aの少なくとも入り口付近に形成すればルテニウムシリサイド膜44によって開口11Aは塞がれる。また、開口11Aの底部付近にシリコン膜46が未反応のまま残っても構わない。なお、シリサイド反応を利用することによりルテニウムシリサイド膜44は下部電極11と同じ平面パターンに形成される。

【0054】

その後、図20に示すように、シリサイド反応が生じずに残っているシリコン膜46（図19参照）を、例えばドライエッチング法や薬液処理によって除去する。

【0055】

その後、例えばキャパシタ10の製造方法を用いて、層間膜15を除去し（図21参照）、誘電体膜12を形成し（図22参照）、上部電極13を形成することにより、図17のキャパシタ40が得られる。

【0056】

シリサイドルテニウム膜44によってキャパシタ40はキャパシタ10と同様の効果を奏する。なお、上述の未反応のシリコン膜46をパターンニングすることにより当該膜46から例えば配線やヒューズや抵抗体を形成することが可能である。換言すれば、そのような配線を形成するための工程とシリサイドルテニウム膜44の形成工程とでシリコン膜46の形成工程及び除去工程を共通化することができる。

【0057】

なお、キャパシタ30と同様に、下部電極11の側面11Wを露出させた後に、シリコン膜46を形成し下部電極11をシリサイド化しても良い。

【0058】

実施の形態5.

図23に実施の形態5に係るキャパシタ50を説明するための断面図を示す。

なお、キャパシタ 5 0 はキャパシタ 1 0 に変えて図 1 の半導体装置 1 0 0 に適用可能である。

【 0 0 5 9 】

キャパシタ 5 0 は図 2 のキャパシタ 1 0 の下部電極 1 1 及び酸化ルテニウム膜 1 4 を下部電極 5 1 及びシリコン窒化膜（ないしは絶縁体） 5 4 にそれぞれ変えた構造を有しており、キャパシタ 5 0 のその他の構成は図 2 のキャパシタ 1 0 と基本的に同様である。

【 0 0 6 0 】

詳細には、図 2 3 の下部電極 5 1 はシリコンから成り、図 2 の下部電極 1 1 と同様の形状を有している。なお、下部電極 5 1 は、図 2 の下部電極 1 1 の上面 1 1 T、下面 1 1 B、側面 1 1 W 及び開口 1 1 A に対応する上面 5 1 T、下面 5 1 B、側面 5 1 W 及び開口 5 1 A を有している。また、図 2 3 のシリコン窒化膜 5 4 は図 2 の酸化ルテニウム膜 1 4 と同様の形状を有しており、酸化ルテニウム膜 1 4 の上面 1 4 T に対応する上面 5 4 T を有している。なお、シリコン窒化膜 5 4 は図 9 の酸化ルテニウム膜 2 4 と同様に開口 5 1 A の底部付近にまで到達していなくても構わない。

【 0 0 6 1 】

次に、図 2 4 ～図 2 8 の断面図を参照しつつキャパシタ 5 0 の製造方法を説明する。まず、例えばキャパシタ 1 0 の製造方法を用いて図 3 の状態の基板を得る。

【 0 0 6 2 】

その後、図 2 4 に示すように、例えば CVD 法によって、穴 1 5 A を埋めるように層間膜 1 5 上にシリコン膜（ないしは導電膜） 5 1 P を形成する。そして、図 2 5 に示すように、例えば CMP 法やドライエッチバック法によってシリコン膜 5 1 P のうちで穴 1 5 A の外の部分を除去する。かかる除去工程後に穴 1 5 A 内に残ったシリコン膜 5 1 が下部電極 5 1 になる。なお、複数のキャパシタ 5 0 を同時に形成する場合、当該除去工程によって各キャパシタ 5 0 の下部電極 5 1 が互いに分離される。

【 0 0 6 3 】

このとき、キャパシタ10等の製造方法と同様に、シリコン膜51P内のボイドは開口51Aに成りうるが、半導体装置100内の全ての下部電極51に開口51Aが発生するわけではない。

【0064】

次に、図26に示すように、熱窒化（例えば窒化性雰囲気中における750℃～950℃の熱処理）によってシリコン膜51の露出表面、具体的には上面51T及び開口51Aの内表面を窒化する。これにより、シリコン膜51に接するシリコン窒化膜54が形成される。このとき、シリコン窒化膜54の形成時の体積膨張によって開口51Aが埋められ、開口51Aの開口入り口が塞がれる。

【0065】

その後、例えばキャパシタ10の製造方法を用いて、層間膜15を除去し（図27参照）、誘電体膜12を形成し（図28参照）、上部電極13を形成することにより、図23のキャパシタ50が得られる。

【0066】

シリコン窒化膜54によってキャパシタ50はキャパシタ10と同様の効果を奏する。

【0067】

上述の説明ではシリコン窒化膜54の形成に熱窒化法を用いたが、プラズマ窒化法を用いることも可能である。プラズマ窒化法は熱窒化法よりも低温プロセスなので、キャパシタ20と同様に、既に形成されている不純物層のプロファイルが変化するのを抑制することができ、半導体装置100の信頼性を高めることができる。なお、酸化法やシリサイド反応を用いることにより、シリコン窒化膜54に変えて、シリコン酸化膜やシリサイド膜を適用することも可能である。

【0068】

実施の形態6.

図29に実施の形態6に係るキャパシタ60を説明するための断面図を示す。なお、キャパシタ60はキャパシタ10に変えて図1の半導体装置100に適用可能である。

【0069】

図 2 9 に示すようにキャパシタ 6 0 はスタック (stack) 型のキャパシタであり、より具体的にはその中でもクラウン (crown) 型又は円筒型と呼ばれる。キャパシタ 6 0 は、下部電極 6 1 と、上部電極 1 3 と、両電極 6 1, 1 3 間に配置されたキャパシタ誘電体膜 1 2 とを含んでおり、更に例えばシリコン酸化物から成る絶縁体 6 7 を含んでいる。

## 【 0 0 7 0 】

下部電極 6 1 は例えばシリコンから成り、円筒型ないしは器型をしている。ここでは、円筒型の凹部ないしは開口 6 1 A が入り口から底部に向かうに従って狭くなる形状の場合を説明する。下部電極 6 1 の内表面、すなわち開口 6 1 A の内表面は粗面化されている。なお、図 2 の下部電極 1 1 と同様に、下部電極 6 1 は層間膜 2 (図 1 参照) 上に配置されており、下部電極 6 1 の底部は層間膜 2 内のプラグ 9 に接している。

## 【 0 0 7 1 】

下部電極 6 1 の開口 6 1 A 内の底部には例えばシリコン酸化物から成る絶縁体 6 7 が配置されている。絶縁体 6 7 は開口 6 1 A を埋め尽くすことなく配置されている。すなわち、絶縁体 6 7 の上面 (開口 6 1 A の入り口側の表面) 6 7 T は開口 6 1 A の入り口の高さレベルには及んでいない。

## 【 0 0 7 2 】

そして、誘電体膜 1 2 が下部電極 6 1 及び絶縁体 6 7 に対面しこれらの要素 6 1, 6 7 を覆うように配置されており、更に誘電体膜 1 2 を介して下部電極 6 1 に対面しこれらの要素 1 2, 6 1 を覆うように上部電極 1 3 が配置されている。具体的にキャパシタ 6 0 では、誘電体膜 1 2 は下部電極 6 1、絶縁体 6 7 及びストッパ膜 8 に接するように延在しており、下部電極 6 1 及び絶縁体 6 7 を覆っている。また、上部電極 1 3 は誘電体膜 1 2 に接し下部電極 6 1 及び絶縁体 6 7 を覆うように延在している。このとき、誘電体膜 1 2 は下部電極 6 1、絶縁体 6 7 及びストッパ膜 8 の表面に沿って延在しており、開口 6 1 A 内に進入している。ただし、誘電体膜 1 2 は開口 6 1 A を埋め尽くしてはおらず、このため上部電極 1 3 も開口 6 1 A 内にも延在している。すなわち、キャパシタ 6 0 では誘電体膜 1 2 及び上部電極 1 3 は下部電極 6 1 の粗面化された表面に対面している。



## 【 0 0 7 3 】

次に、図 3 0 ～ 図 3 6 の断面図を参照しつつキャパシタ 6 0 の製造方法を説明する。まず、プラグ 9 を含んだ層間膜 2 （図 1 参照）までが形成された状態の基板を準備する。なお、かかる状態の基板ではプラグ 9 の上面が層間膜 2 から露出している。

## 【 0 0 7 4 】

そして、既述のキャパシタ 1 0 の製造方法と同様にして、図 3 0 に示すように、層間膜 2 上にストッパ膜 8 及び層間膜 1 5 をこの順序で形成し、その後、層間膜 1 5 及びストッパ膜 8 を順に開口して穴 6 5 A を形成する。これにより穴 6 5 A 内にプラグ 9 の上面を露出させる。特に穴 6 5 A は、層間膜 1 5 の上面 1 5 T からストッパ膜 8 及びプラグ 9 に向かうに従って狭くなるように形成する。

## 【 0 0 7 5 】

その後、図 3 1 に示すように、層間膜 1 5 の上面 1 5 上及び穴 6 5 A の内表面上に例えば C V D 法によって非晶質シリコン膜（ないしは導電膜） 6 1 P を形成する。このとき、穴 6 5 A 内の露出表面に沿って且つ穴 6 5 A 内を埋め尽くさないようにシリコン膜 6 1 P を形成することにより、シリコン膜 6 1 P のうちで穴 6 5 A 内の部分（後に下部電極 6 1 になる）によって器型が形作られることになる。そして、図 3 2 に示すようにシリコン膜 6 1 P の露出表面を粗面化してシリコン膜 6 1 Q を得る。具体的には、シリコンを含むガス、例えばジシラン（ $\text{Si}_2\text{H}_6$ ）ガスによって結晶成長核をシリコン膜 6 1 P 上に形成し、その後  $750^\circ\text{C}$  ～  $850^\circ\text{C}$  の熱処理を実施してシリコンをマイグレーションさせる。

## 【 0 0 7 6 】

次に、図 3 3 に示すように、C V D 法やスピコート法によってシリコン膜 6 1 Q 上に絶縁体（例えばシリコン酸化膜） 6 7 P を形成して穴 6 5 A を埋める。そして、図 3 4 に示すように、シリコン膜 6 1 Q 及び絶縁膜 6 7 P のうちで穴 6 5 A の外の部分を例えば CMP 法によって除去し、層間膜 1 5 を露出させる。これにより、穴 6 5 A 内に残ったシリコン膜 6 1 が器型の下部電極 6 1 になり、当該電極 6 1 は穴 6 5 A に対応の開口 6 1 A を有する。また、開口 6 1 A 内には絶縁体 6 7 P の一部が絶縁体 6 7 Q として残存する。なお、複数のキャパシタ 6 0

を同時に形成する場合、当該除去工程によって各キャパシタ 6 0 の下部電極 6 1 が互いに分離される。

## 【 0 0 7 7 】

その後、図 3 5 に示すように、フッ化水素酸溶液等によって層間膜 1 5 及び絶縁体 6 7 Q を除去する。特に、開口 6 1 A の底部に絶縁体 6 7 Q の一部を絶縁体 6 7 として残すように絶縁体 6 7 Q を除去する。また、層間膜 1 5 は少なくとも下部電極 6 1 付近の部分除去して下部電極 6 1 の外表面を露出させる。このとき、層間膜 1 5 及び絶縁体 6 7 Q は共にシリコン酸化膜から成るので、両要素 1 5, 6 7 Q を一括して除去可能である。換言すれば、層間膜 1 5 及び絶縁体 6 7 Q は異なる材料であっても良く、そのような場合には両要素 1 5, 6 7 Q を順次に除去すればよい（順序は問わない）。

## 【 0 0 7 8 】

そして、図 3 6 に示すように、誘電体膜 1 2 を下部電極 1 1 及び絶縁体 6 7 を覆うように形成する。この際、開口 6 1 A を埋め尽くさないように絶縁体 6 7 上及び下部電極 6 1 上に誘電体膜 1 2 を形成する。その後、誘電体膜 1 2 上に上部電極 1 3 を形成することにより、図 2 9 のキャパシタ 6 0 が得られる。

## 【 0 0 7 9 】

さて、絶縁体 6 7 が無ければ、開口 6 1 A の底部付近に薄い誘電体膜 1 2 が形成され当該薄い誘電体膜 1 2 に起因して電極 6 1, 1 3 間に漏れ電流が発生する。しかしながら、キャパシタ 6 0 では開口 6 1 A の底部には絶縁体 6 7 配置されており（これにより製造時においてはアスペクト比を下げられる）開口 6 1 A の底部付近には誘電体膜 1 2 及び上部電極 1 3 が進入していないので、キャパシタ 6 0 によればそのような漏れ電流を抑制・防止することができる。従って、キャパシタ 6 0 は良好な電荷保持特性を有し、その結果、半導体装置 1 0 0 は高い信頼性を有する。

## 【 0 0 8 0 】

かかる効果は、開口 6 1 A が入り口から底部までほぼ同じ大きさの場合、及び／又は、開口 6 1 A の内表面が粗面化されていない場合にも得られる。但し、開口 6 1 A が入り口から底部に向かうに従って狭くなる場合、及び／又は、開口 6

1 A の内表面が粗面化されている場合には、誘電体膜 1 2 が薄くなりやすいので、上述の効果が顕著に発揮される。

【 0 0 8 1 】

なお、上記特許文献 2（特開 2 0 0 0 - 1 5 6 4 7 6 号公報）には円筒型の下部電極を有するキャパシタが紹介されているが、円筒内にはキャパシタ誘電膜以外の絶縁体は配置されていない。

【 0 0 8 2 】

実施の形態 7.

図 3 7 に実施の形態 7 に係るキャパシタ 7 0 を説明するための断面図を示す。また、図 3 8 にキャパシタ 7 0 の製造方法を説明するための断面図を示す。なお、キャパシタ 7 0 はキャパシタ 1 0 に変えて図 1 の半導体装置 1 0 0 に適用可能である。

【 0 0 8 3 】

既述のキャパシタ 1 0 の製造方法では図 6 及び図 7 に示すように下部電極 1 1 の周りの層間膜 1 5 をストッパ膜 8 が露出するように除去する、すなわち厚さ方向において全て除去する。

【 0 0 8 4 】

これに対して、キャパシタ 7 0 の製造方法では図 3 8 に示すように層間膜 1 5 を一部残す。その後、キャパシタ 1 0 の製造方法と同様にして誘電体膜 1 2 及び上部電極 1 3 を順次に形成することにより、図 3 7 のキャパシタ 7 0 が得られる。このような製造方法に起因してキャパシタ 7 0 の誘電体膜 1 2 はストッパ膜 8 ではなく、残した層間膜 1 5 に接する。

【 0 0 8 5 】

これによれば、残された層間膜 1 5 によって下部電極 1 1 を支えることができるので、当該電極 1 1 の倒れや折れ等を防止することができる。すなわち、下部電極 1 1 の高さが該電極 1 1 を成す材料の強度に対して高すぎると下部電極 1 1 が倒れたり折れたりしやすいが、上述の製造方法によればそのような事態を回避することができる。更に、残された層間膜 1 5 によって誘電体膜 1 2 とプラグ 9 との間の絶縁膜の量（厚さ）が増すので、誘電体膜 1 2 の形成時の影響、例えば

誘電体膜 1 2 中の酸化種が拡散してプラグ 9 を酸化してしまうという影響を低減することができる。

【 0 0 8 6 】

なお、他のキャパシタ 2 0 等の製造方法においても層間膜 1 5 を一部残すようにしても良い。

【 0 0 8 7 】

実施の形態 8.

さて、例えば図 2 のキャパシタ 1 0 の構造はプラグに応用することができ、実施の形態 8 ではそのようなプラグを説明する。

【 0 0 8 8 】

既述の図 1 に示すように半導体装置 1 0 0 では、層間膜 2, 8, 3 に渡ってビアホール（ないしは穴） 8 5 A が形成されており、ビアホール 8 5 A 内にプラグ 8 0 1 が配置されている。プラグ 8 0 1 は例えばルテニウムから成るプラグ本体 8 1 と酸化ルテニウム膜（ないしは導電体） 8 4 1 とを含んでおり、プラグ本体 8 1 と酸化ルテニウム膜 8 4 1 との関係はキャパシタ 1 0 における下部電極 1 1 と酸化ルテニウム膜 1 4 との関係に相当する。

【 0 0 8 9 】

具体的には、プラグ本体 8 1 はビアホール 8 5 A の内表面上に配置されており、ビアホール 8 5 A の入り口ないしは層間膜 3 の上面 3 T において開口している。なお、ビアホール 8 5 A の内表面上にプラグ本体 8 1 の一部として密着層やバリアメタル層を設けても良い。そして、酸化ルテニウム膜 8 4 1 はビアホール 8 5 A 内においてプラグ本体 8 1 を介して層間膜 3, 8, 2 に対面するようにプラグ本体 8 1 上に形成されており、更にビアホール 8 5 A 内から引き続きビアホール 8 5 A の外にも形成されている。これにより酸化ルテニウム膜 8 4 1 はプラグ本体 8 1 の上記開口を塞いでいる。

【 0 0 9 0 】

プラグ 8 0 1 はキャパシタ 1 0 の製造方法（図 3 ～図 6 参照）を応用して製造可能である。すなわち、まず、下部電極 1 1 と同様にして、ビアホール 8 5 A 内にプラグ本体 8 1 を形成し、その後、プラグ本体 8 1 の露出表面を酸化すること

によって酸化ルテニウム膜 8 4 1 を形成する。プラグ 8 0 1 の製造においてもボイドに起因して、CMP 処理やドライエッチバック処理の後に開口が現れるが、酸化ルテニウム膜 8 4 1 の形成によりプラグ本体 8 1 の上記開口が塞がれる。

## 【 0 0 9 1 】

このような製造方法に起因して、酸化ルテニウム膜 8 4 1 はビアホール 8 5 A の外において層間膜 3, 8, 2 に接してはおらず、又、酸化ルテニウム膜 8 4 1 のうちでビアホール 8 5 A の外の部分の上面 8 4 1 T は層間膜 3 の上面 3 T よりも高いレベルに在る。なお、配線 1 2 2, 1 3 2 間の電氣的接続が確立できれば、プラグ本体 8 1 及び酸化ルテニウム膜 8 4 1 はビアホール 8 5 A を完全に充填していなくても構わない。

## 【 0 0 9 2 】

このようなプラグ 8 0 1 によれば、プラグ本体 8 1 の開口を塞ぐように酸化ルテニウム膜 8 4 1 が配置されているので、酸化ルテニウム膜 8 4 1 の形成後の工程で開口内に薬液等が進入してプラグ本体 8 1 を浸食するのを防ぐことができる。その結果、半導体装置 1 0 0 の信頼性が向上する。かかる効果はキャパシタ 1 0 等についても当てはまる。

## 【 0 0 9 3 】

なお、図 9 のキャパシタ 2 0 の下部電極 1 1 及び酸化ルテニウム膜 2 4 を、又は、図 1 7 のキャパシタ 4 0 の下部電極 1 1 及びルテニウムシリサイド膜 4 4 を、応用して、プラグ 8 0 1 と同様のプラグを形成することも可能である。

## 【 0 0 9 4 】

ところで、プラグ 8 0 1 では酸化ルテニウム膜 8 4 1 が層間膜 3 の上面 3 T よりも突出しているので、配線 1 3 2 の形成不具合やコンタクト不具合が生じる場合がある。かかる点に鑑みれば、図 3 9 の断面図に示すプラグ 8 0 2 の形状が望ましい。具体的には、プラグ 8 0 2 は図 1 のプラグ 8 0 1 において酸化ルテニウム膜 8 4 1 を酸化ルテニウム膜 8 4 2 に変えた構造を有しており、当該酸化ルテニウム膜 8 4 2 の形状は図 1 の酸化ルテニウム膜 8 4 1 においてビアホール 8 5 A の外の部分を除去した形状にあたる。

## 【 0 0 9 5 】

プラグ 8 0 2 は、図 4 0 の断面図に示すように、プラグ 8 0 1 の形成後に例えば CMP 法で以て酸化ルテニウム膜 8 4 1 のうちでビアホール 8 5 A の外の部分を除去することによって（プラグ 8 0 1 の形成後の露出表面を平坦化することによって）製造可能である。なお、プラグ 8 0 1 の形成後においてはプラグ本体 8 1 の開口が塞がれているので、当該開口の入り口付近ないしは層間膜 3 の上面 3 T 付近にはボイドは存在せず、このため酸化ルテニウム膜 8 4 1 の一部除去によってプラグ 8 0 2 に開口が生じることはない。

## 【 0 0 9 6 】

プラグ 8 0 2 は層間膜 3 の上面 3 T と段差を形成しないので、配線 1 3 2 の形成不具合やコンタクト不具合を回避することができる。

## 【 0 0 9 7 】

なお、図 9 のキャパシタ 2 0 の下部電極 1 1 及び酸化ルテニウム膜 2 4 を、又は、図 1 7 のキャパシタ 4 0 の下部電極 1 1 及びルテニウムシリサイド膜 4 4 を、応用して、プラグ 8 0 2 と同様のプラグを形成することも可能である。ここでプラグ 8 0 2 のプラグ本体 8 1 は直接、配線 1 3 2 に接することに鑑みれば、図 2 3 のキャパシタ 5 0 の下部電極 5 1 及びシリコン窒化膜 5 4 を応用することも可能である。この場合、シリコン窒化膜は絶縁物なので、プラグはプラグ本体のみから成ることになる。

## 【 0 0 9 8 】

さて、プラグ 8 0 2 は次の製造方法によっても製造可能である。すなわち、図 4 1 の断面図に示すように、プラグ本体 8 1 用の導電膜 8 1 P を形成後、CMP 処理等を行わずに引き続き酸化処理を実施して酸化ルテニウム膜 8 4 P を形成する。その後、両膜 8 1 P、8 4 P のビアホール 8 5 A の外の部分を CMP 処理等によって除去して層間膜 3 を露出させる（図 4 0 参照）。

## 【 0 0 9 9 】

なお、かかる製造方法の場合、酸化ルテニウム膜 8 1 P を開口を有するように形成する必要がある。なぜならば、CMP 処理後のプラグ 8 0 2 が開口を有さないようにするためには層間膜 3 の上面 3 T 付近に酸化ルテニウム膜 8 4 P を形成することにより該上面 3 T 付近にボイドが存在しないようにする必要があるから

である。このとき、例えば既述のキャパシタ 1 0 の製造方法においても、酸化ルテニウム膜 1 4 で開口 1 1 A を塞ぎうる限り、ルテニウム膜 1 1 P (図 4 参照) は CMP 処理の前に開口していても構わない。かかる点は他のキャパシタ 2 0 等やプラグ 8 0 1 の製造方法についても同様である。

#### 【 0 1 0 0 】

なお、上記特許文献 3 (特開 2 0 0 0 - 2 5 2 4 4 1 号公報には、ルテニウムから成るプラグの窪みを  $\text{SrRuO}_3$  で埋めるという技術が紹介されているが、かかる埋め込み工程は  $\text{SrRuO}_3$  膜の堆積及び CMP 処理によって実施される。これに対して、例えば本願の図 1 の酸化ルテニウム膜 8 4 1 はプラグ本体 8 1 を酸化処理によって形成される。また、上記文献 3 の  $\text{SrRuO}_3$  は形成方法に起因して、プラグが配置された層間膜の表面レベルから突出しておらず、本願の図 1 の酸化ルテニウム膜 8 4 1 とは形状が異なる。

#### 【 0 1 0 1 】

実施の形態 9.

さて、上述の図 4 0 のプラグ 8 0 2 に鑑みて、図 2 のキャパシタ 1 0 を図 4 2 の断面図に示すキャパシタ 9 0 のように変形することも可能である。なお、キャパシタ 9 0 はキャパシタ 1 0 に変えて図 1 の半導体装置 1 0 0 に適用可能である。

#### 【 0 1 0 2 】

具体的には、キャパシタ 9 0 はキャパシタ 1 0 において酸化ルテニウム膜 1 4 のうちで開口 1 1 A の外の部分を除去した構造にあたり、開口 1 1 A 内にのみ酸化ルテニウム膜 9 4 を有している。キャパシタ 9 0 のその他の構成は図 2 のキャパシタ 1 0 と基本的に同様であるが、酸化ルテニウム膜 9 4 の適用によりキャパシタ 9 0 では誘電体膜 1 2 が下部電極 1 1 の上面 1 1 T に接しており (このとき上面 1 1 T に対面している)、当該誘電体膜 1 2 は酸化ルテニウム膜 9 4 の頂部表面 (上面 1 1 T に並ぶ表面) にも接している。

#### 【 0 1 0 3 】

キャパシタ 9 0 は、キャパシタ 1 0 の製造工程において図 6 に示すように酸化ルテニウム膜 1 4 の形成した後に、当該膜 1 4 のうちで開口 1 1 A の外の部分を

例えばCMP法やドライエッチバックで以て除去することにより、製造可能である。

#### 【0104】

酸化ルテニウム膜94によってキャパシタ90はキャパシタ10と同様の効果を奏する。

#### 【0105】

図13のキャパシタ30の説明で述べたように、誘電体膜12が例えば結晶性材料の場合、均質な誘電体膜12を得るためには該膜12の形成時の下地は単一の材料から成るのが好ましい。キャパシタ90ではルテニウムから成る下部電極11及び酸化ルテニウム膜94が誘電体膜12の下地になるが、当該下地において下部電極11が占める割合はキャパシタ10に比べて高い。このため、下地としてルテニウムが適している場合、例えば誘電体12が酸化タンタル( $\text{Ta}_2\text{O}_5$ )の場合には、キャパシタ90の方がより好ましいと言える。

#### 【0106】

なお、図9及び図37の酸化ルテニウム膜24、14、図17のルテニウムシリサイド膜44、及び、図23のシリコン窒化膜54を、酸化ルテニウム膜94と同様の形状にすることも可能である。また、図13の酸化ルテニウム膜34についても例えばドライエッチバックによって下部電極11の上面11Tよりも高い(突出した)部分を除去可能である。

#### 【0107】

実施の形態1～9の変形例。

なお、下部電極11やプラグ本体81等として、ルテニウムやシリコンの他に、パラジウム(Pd)やロジウム(Rh)等の白金族元素を用いることが可能であり、又、ITO (Indium Tin Oxide)、GZO (Gallium doped Zinc Oxide)、 $\text{SrCu}_2\text{O}_2$ 、 $\text{CuInO}_2$ 等の(透明な)酸化物半導体も適用可能である。

#### 【0108】

また、下部電極11の形状は上述の円柱形に限られず、例えば定方向に延在する直方体であっても良く(換言すれば穴15Aの形状は溝状であっても良く)、かかる点は下部電極51やプラグ801等についても同様である。



【 0 1 0 9 】

【発明の効果】

この発明によれば、例えばスタック型キャパシタの下部電極の開口やプラグの開口に起因した不具合を防止して、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図 1】 実施の形態 1， 8 に係る半導体装置を説明するための断面図である。

【図 2】 実施の形態 1 に係るキャパシタを説明するための断面図である。

【図 3】 実施の形態 1 に係るキャパシタの製造方法を説明するための断面図である。

【図 4】 実施の形態 1 に係るキャパシタの製造方法を説明するための断面図である。

【図 5】 実施の形態 1 に係るキャパシタの製造方法を説明するための断面図である。

【図 6】 実施の形態 1 に係るキャパシタの製造方法を説明するための断面図である。

【図 7】 実施の形態 1 に係るキャパシタの製造方法を説明するための断面図である。

【図 8】 実施の形態 1 に係るキャパシタの製造方法を説明するための断面図である。

【図 9】 実施の形態 2 に係るキャパシタを説明するための断面図である。

【図 1 0】 実施の形態 2 に係るキャパシタの製造方法を説明するための断面図である。

【図 1 1】 実施の形態 2 に係るキャパシタの製造方法を説明するための断面図である。

【図 1 2】 実施の形態 2 に係るキャパシタの製造方法を説明するための断面図である。

【図 1 3】 実施の形態 3 に係るキャパシタを説明するための断面図である

。

【図 1 4】 実施の形態 3 に係るキャパシタの製造方法を説明するための断面図である。

【図 1 5】 実施の形態 3 に係るキャパシタの製造方法を説明するための断面図である。

【図 1 6】 実施の形態 3 に係るキャパシタの製造方法を説明するための断面図である。

【図 1 7】 実施の形態 4 に係るキャパシタを説明するための断面図である

。

【図 1 8】 実施の形態 4 に係るキャパシタの製造方法を説明するための断面図である。

【図 1 9】 実施の形態 4 に係るキャパシタの製造方法を説明するための断面図である。

【図 2 0】 実施の形態 4 に係るキャパシタの製造方法を説明するための断面図である。

【図 2 1】 実施の形態 4 に係るキャパシタの製造方法を説明するための断面図である。

【図 2 2】 実施の形態 4 に係るキャパシタの製造方法を説明するための断面図である。

【図 2 3】 実施の形態 5 に係るキャパシタを説明するための断面図である

。

【図 2 4】 実施の形態 5 に係るキャパシタの製造方法を説明するための断面図である。

【図 2 5】 実施の形態 5 に係るキャパシタの製造方法を説明するための断面図である。

【図 2 6】 実施の形態 5 に係るキャパシタの製造方法を説明するための断面図である。

【図 2 7】 実施の形態 5 に係るキャパシタの製造方法を説明するための断面図である。

【図 2 8】 実施の形態 5 に係るキャパシタの製造方法を説明するための断面図である。

【図 2 9】 実施の形態 6 に係るキャパシタを説明するための断面図である。

【図 3 0】 実施の形態 6 に係るキャパシタの製造方法を説明するための断面図である。

【図 3 1】 実施の形態 6 に係るキャパシタの製造方法を説明するための断面図である。

【図 3 2】 実施の形態 6 に係るキャパシタの製造方法を説明するための断面図である。

【図 3 3】 実施の形態 6 に係るキャパシタの製造方法を説明するための断面図である。

【図 3 4】 実施の形態 6 に係るキャパシタの製造方法を説明するための断面図である。

【図 3 5】 実施の形態 6 に係るキャパシタの製造方法を説明するための断面図である。

【図 3 6】 実施の形態 6 に係るキャパシタの製造方法を説明するための断面図である。

【図 3 7】 実施の形態 7 に係るキャパシタを説明するための断面図である。

【図 3 8】 実施の形態 7 に係るキャパシタの製造方法を説明するための断面図である。

【図 3 9】 実施の形態 8 に係る他の半導体装置を説明するための断面図である。

【図 4 0】 実施の形態 8 に係る他の半導体装置の製造方法を説明するための断面図である。

【図 4 1】 実施の形態 8 に係る他の半導体装置の製造方法を説明するための断面図である。

【図 4 2】 実施の形態 9 に係る他の半導体装置の製造方法を説明するため

の断面図である。

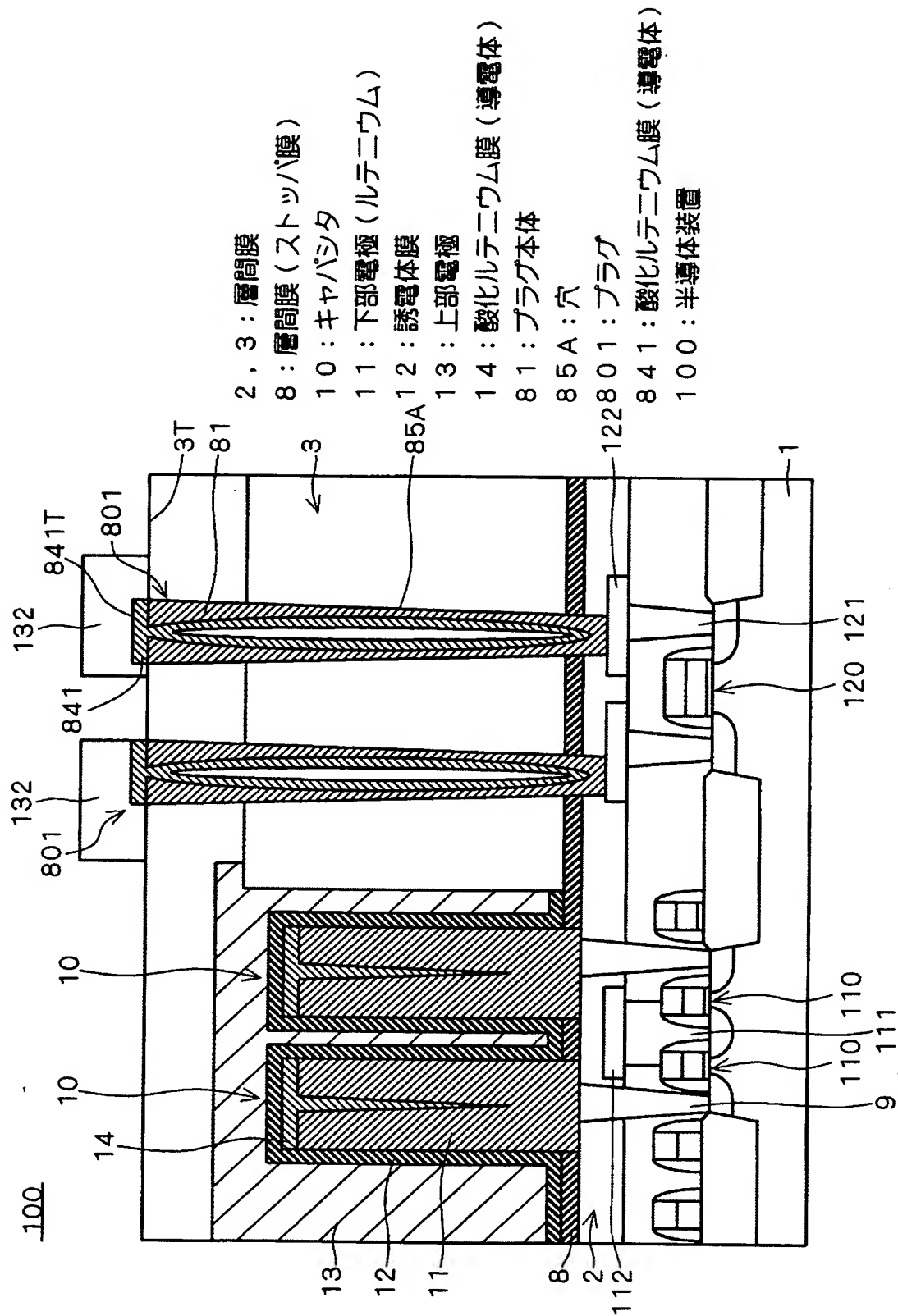
【符号の説明】

2, 3 層間膜、8 ストップ膜（層間膜）、10, 20, 30, 40, 50, 60, 70, 90 キャパシタ、11, 51, 61 下部電極、11A, 51A, 61A 開口、11T, 51T 上面、11W, 51W 側面、11P, 81P ルテニウム膜（導電膜）、12 誘電体膜、13 上部電極、14, 24, 34, 94 酸化ルテニウム膜（導電体）、15 層間膜、15A, 65A 穴、15T 上面、44 ルテニウムシリサイド膜（導電体）、51P シリコン膜（導電膜）、54 シリコン窒化膜（絶縁体）、61P, 61Q 非晶質シリコン膜（導電膜）、67, 67P, 67Q 絶縁体、801, 802 プラグ、81 プラグ本体、85A 穴、841, 842, 84P 酸化ルテニウム膜（導電体）、100 半導体装置。

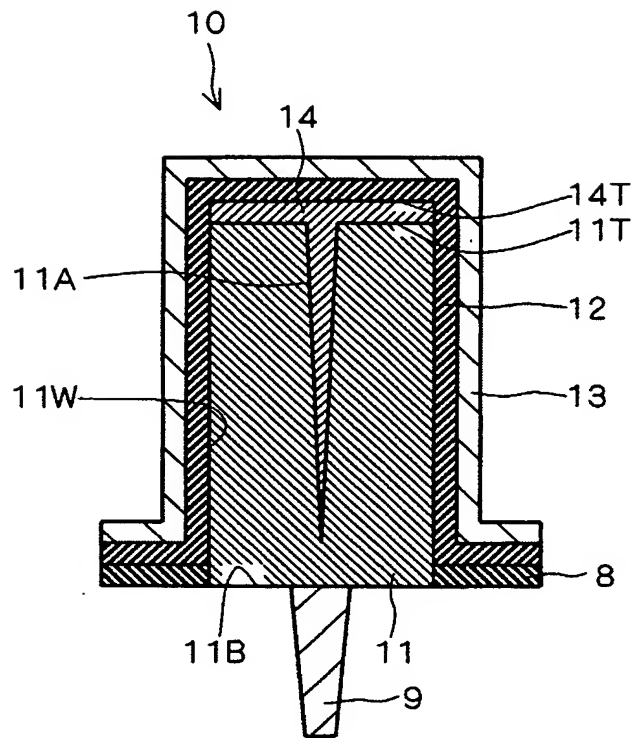
【書類名】

図面

【図 1】

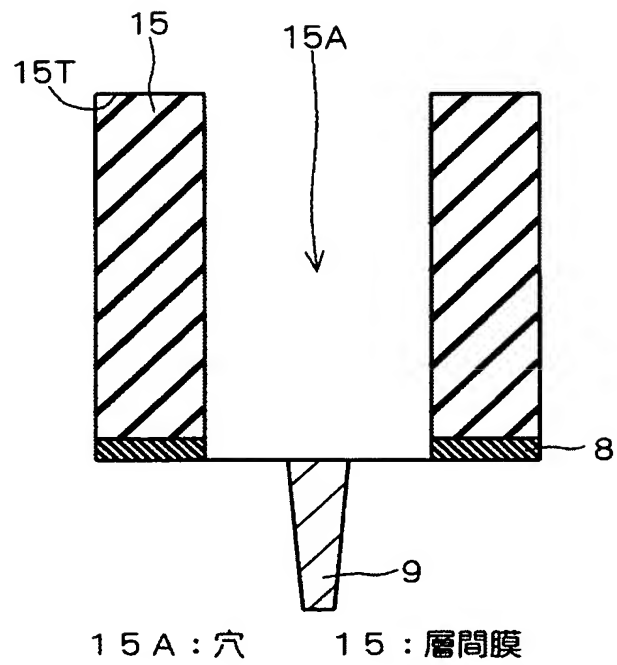


【図 2】

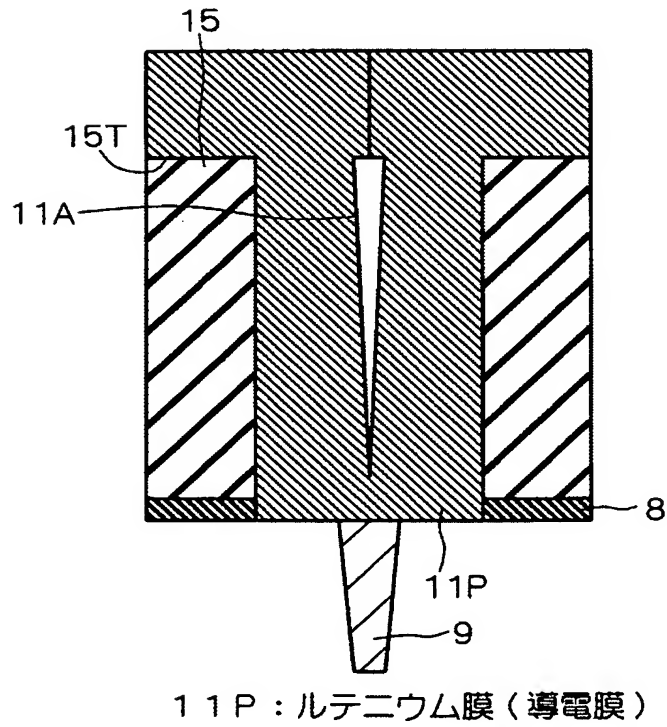


1 1 A : 開口  
 1 1 T : 上面  
 1 1 W : 側面

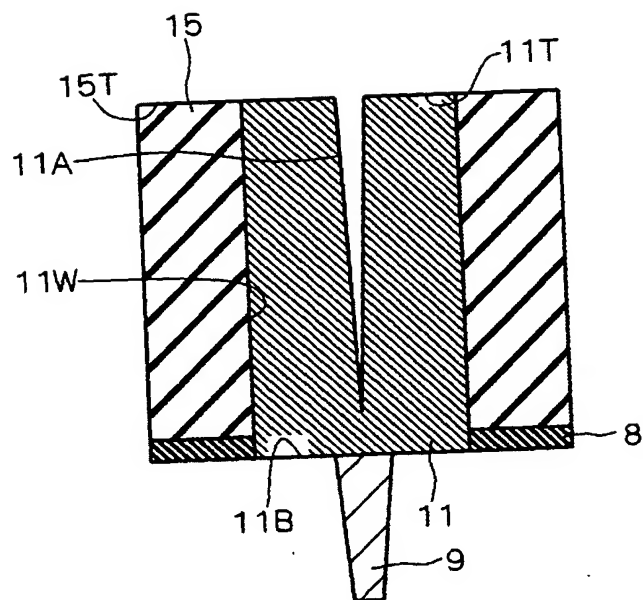
【図 3】



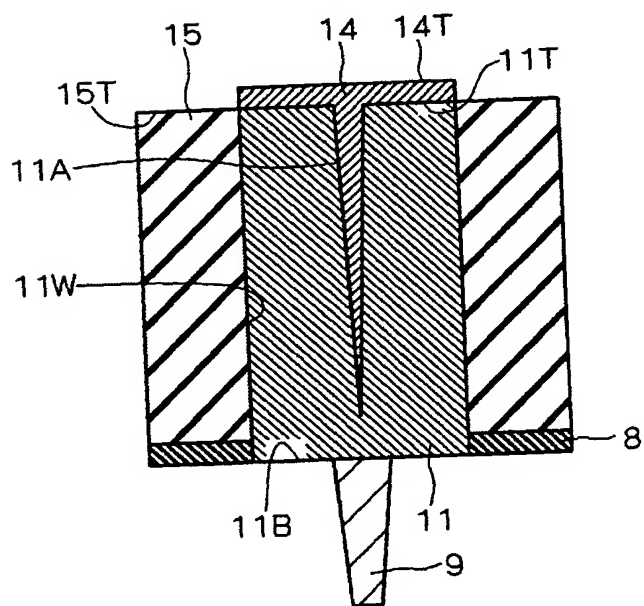
【図 4】



【図5】



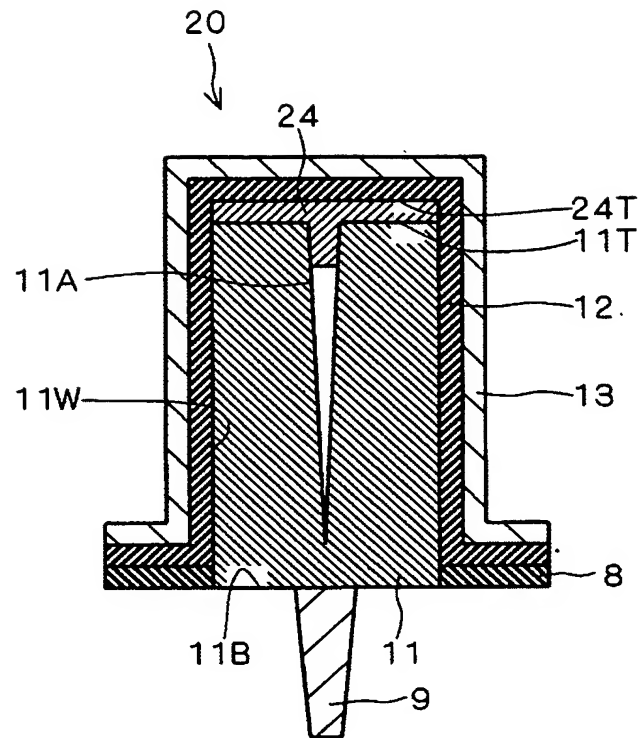
【図6】







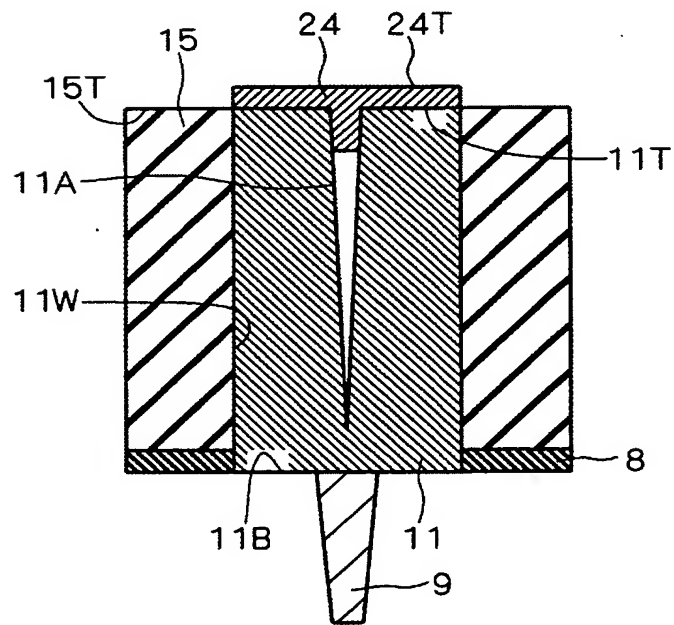
【図 9】



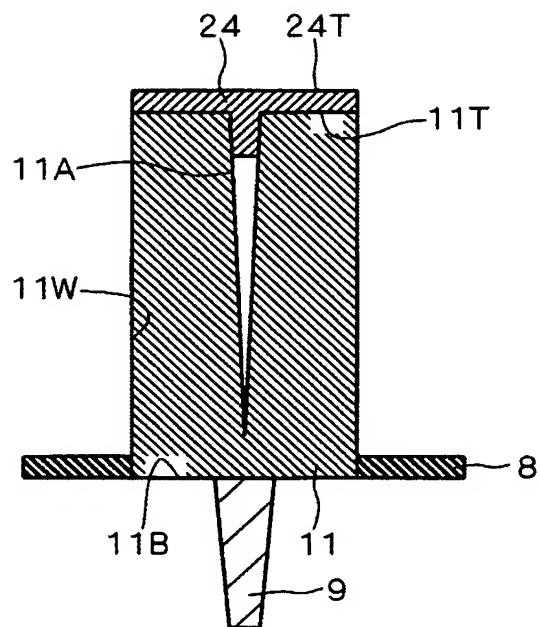
20 : キャパシタ

24 : 酸化ルテニウム膜 (導電体)

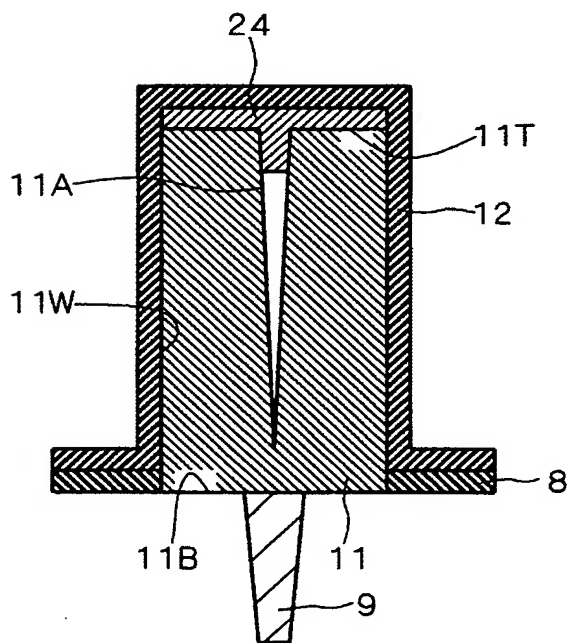
【図 10】



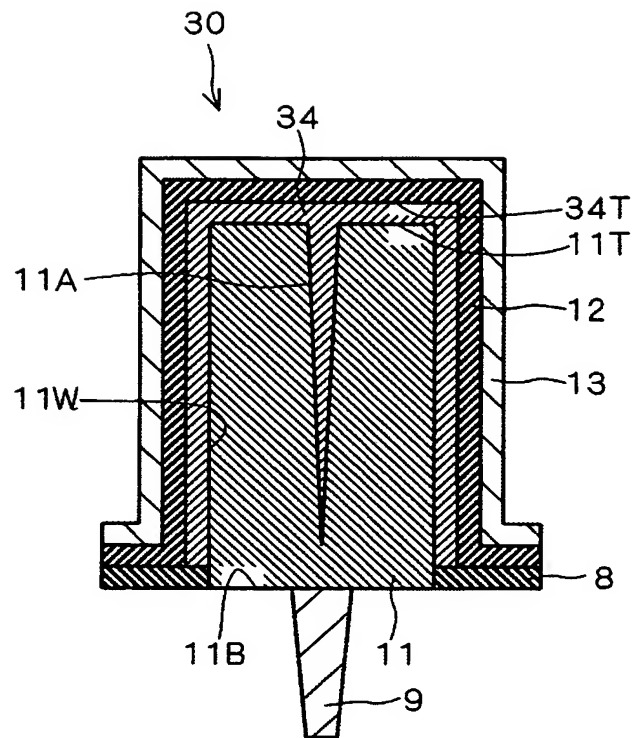
【図 1 1】



【図 1 2】



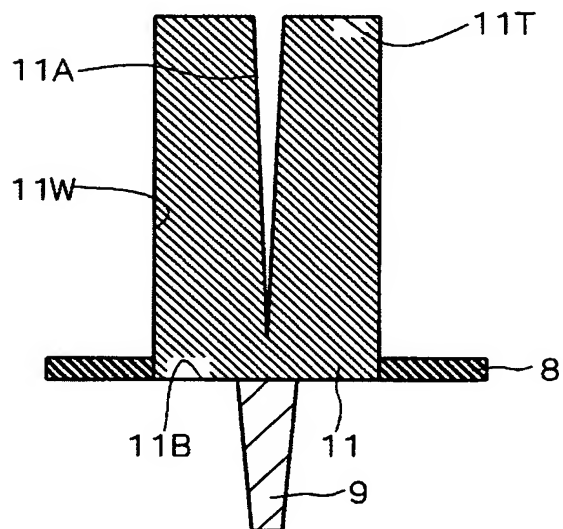
【図 1 3】



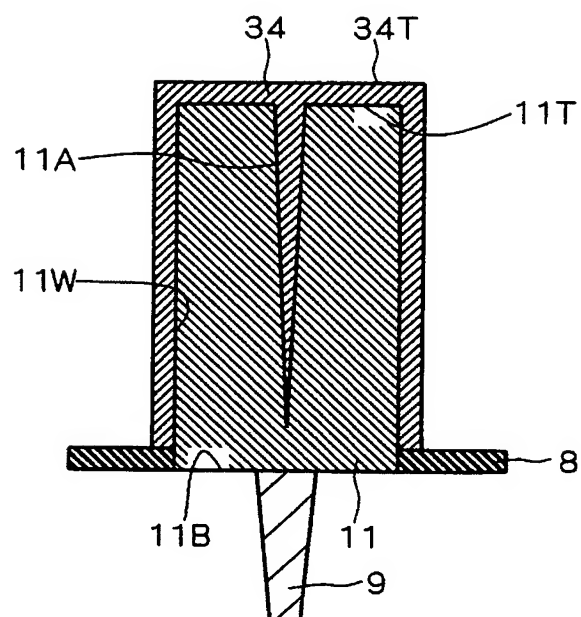
3 0 : キャパシタ

3 4 : 酸化ルテニウム膜 (導電体)

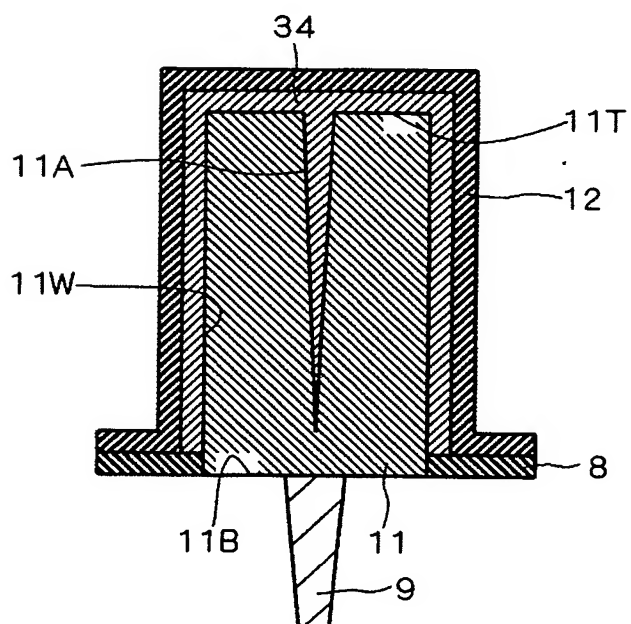
【図 1 4】



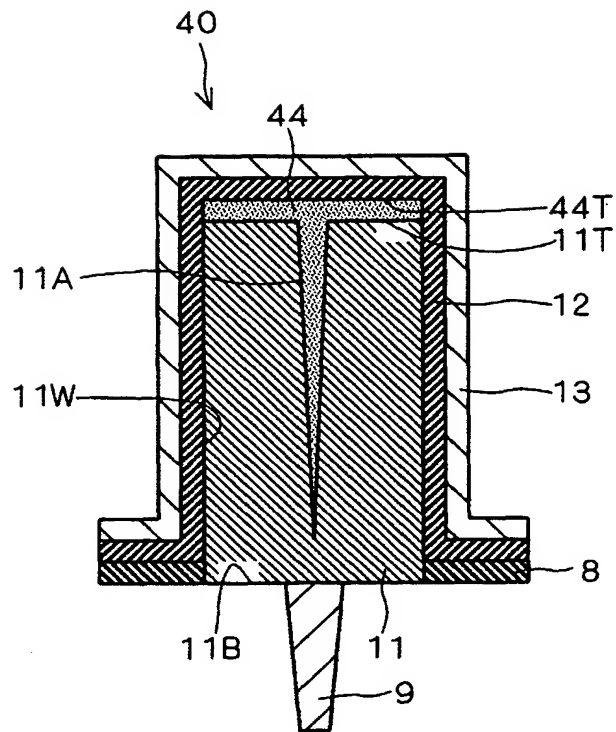
【図 1 5】



【図 1 6】



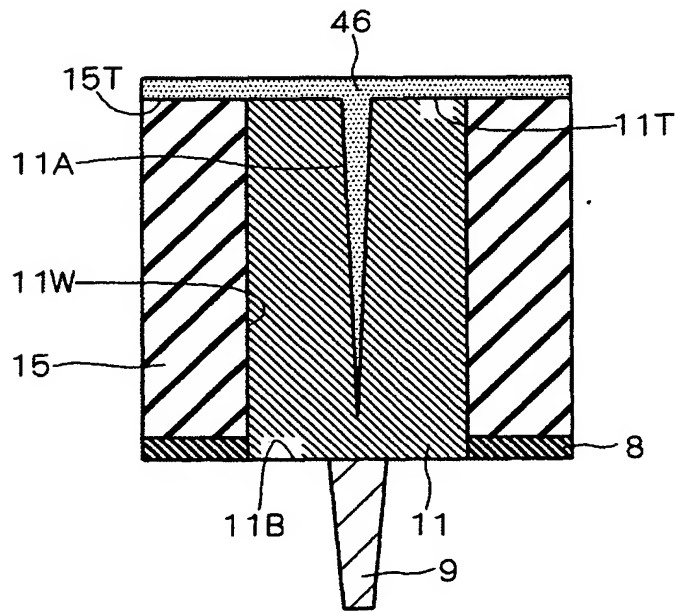
【図 17】



40 : キャパシタ

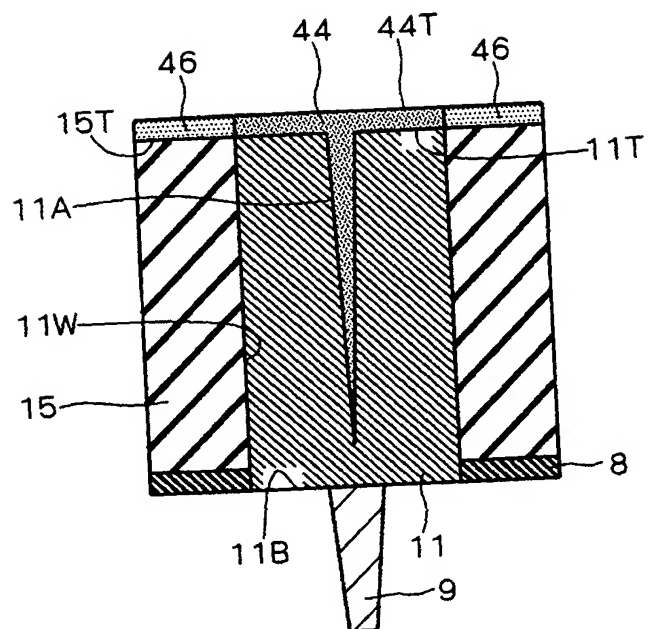
44 : ルテニウムシリサイド膜 (導電体)

【図 18】

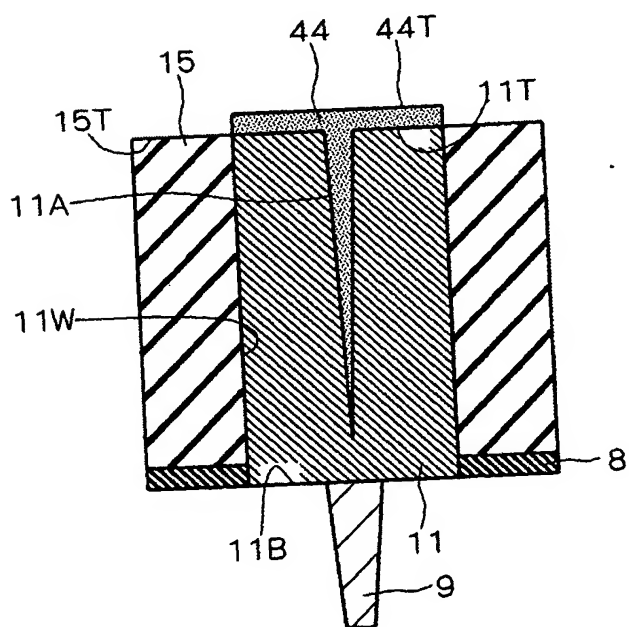


46 : シリコン膜

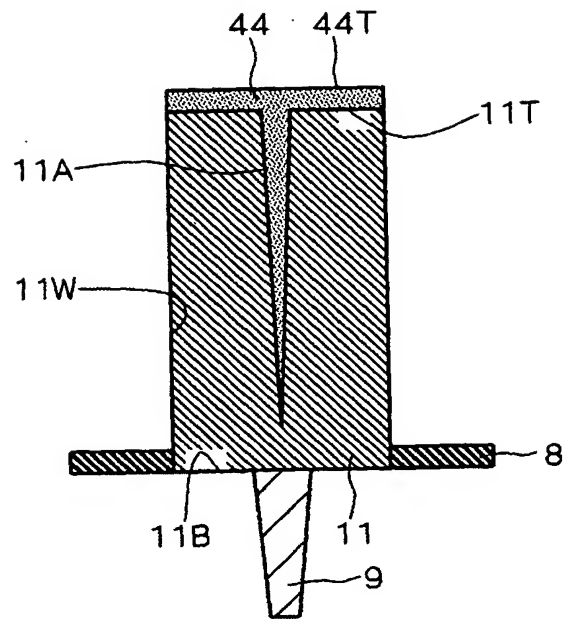
【図 1 9】



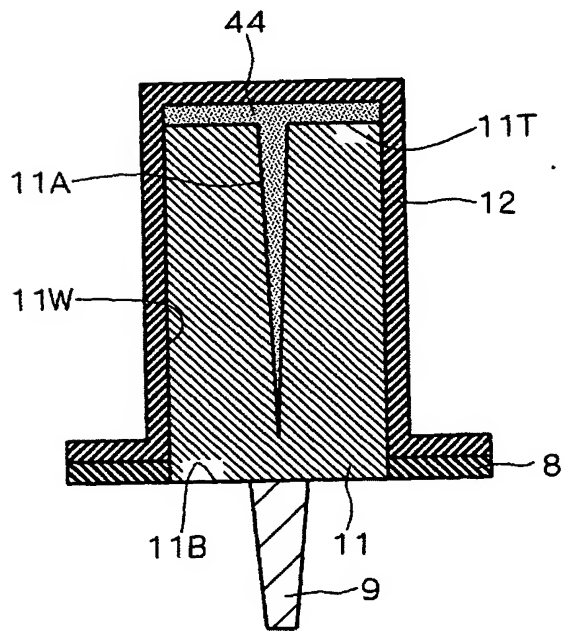
【図 2 0】



【図 21】

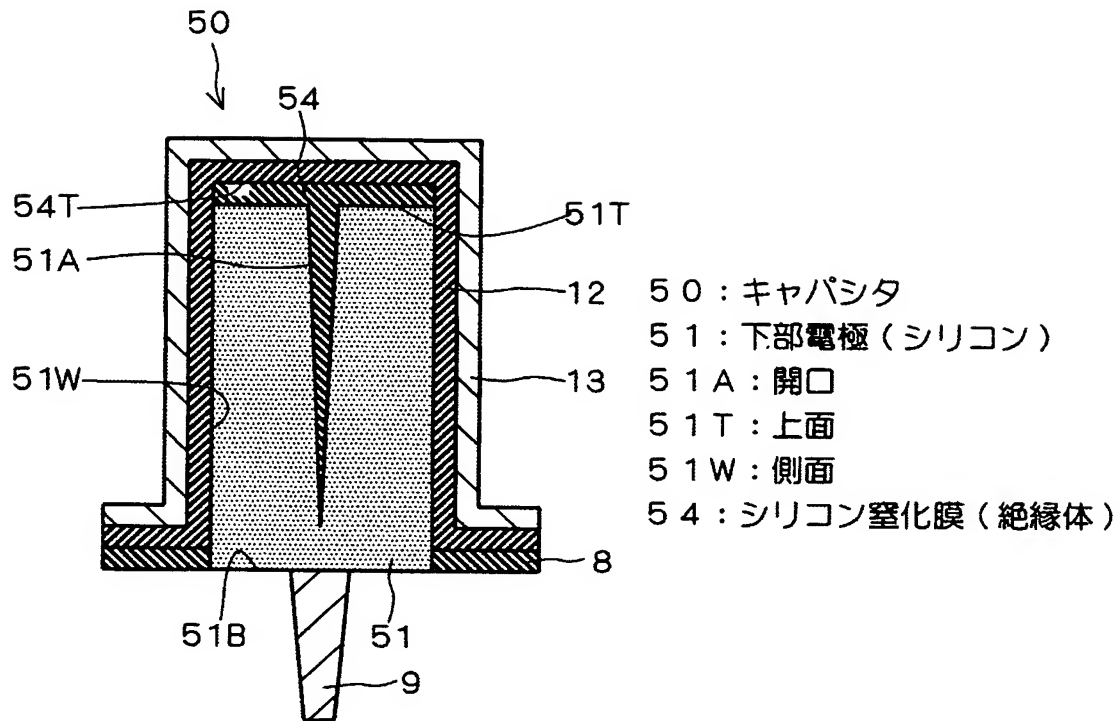


【図 22】

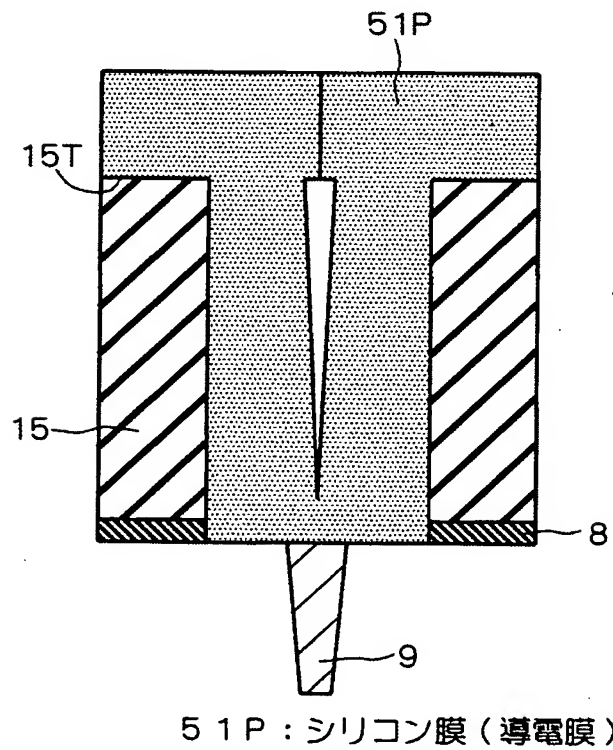




【図 2 3】

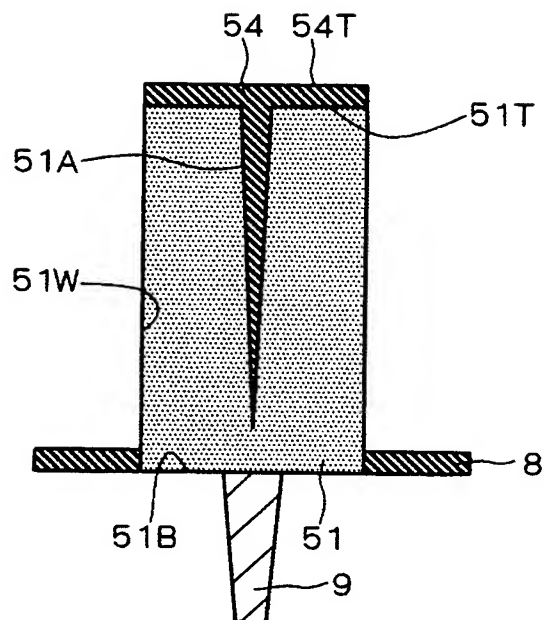


【図 2 4】

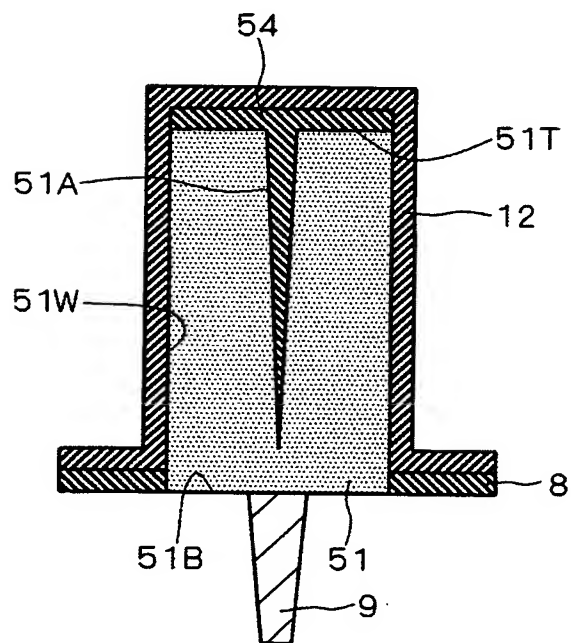




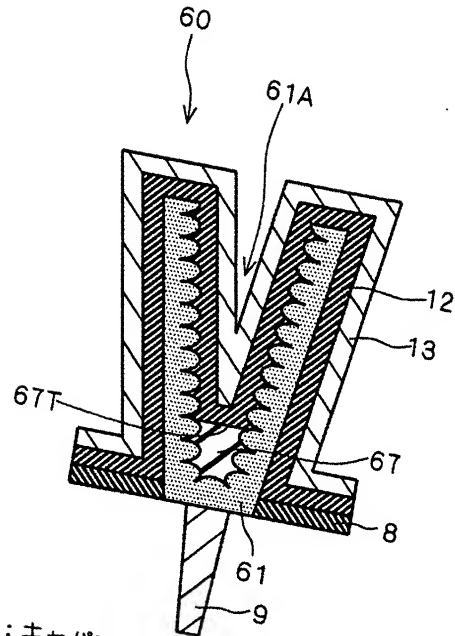
【図 27】



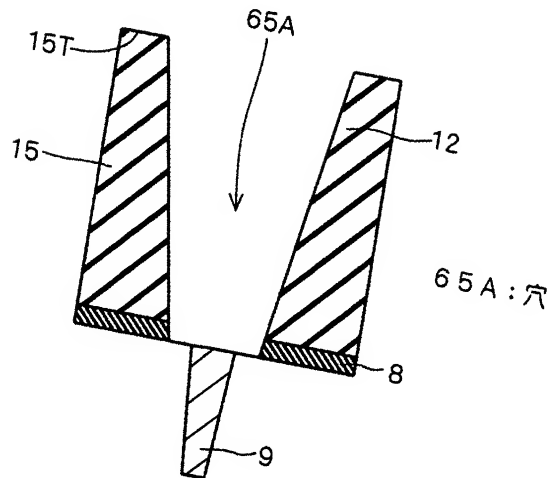
【図 28】



【図29】

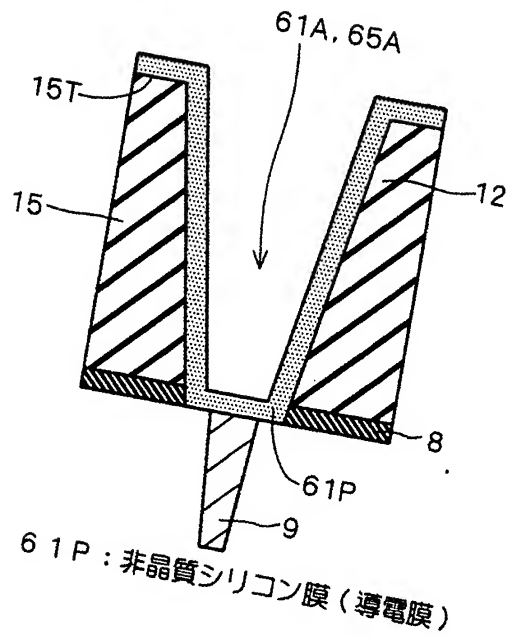


60: キャパシタ  
61: 下部電極  
61A: 開口  
67: 絶縁体

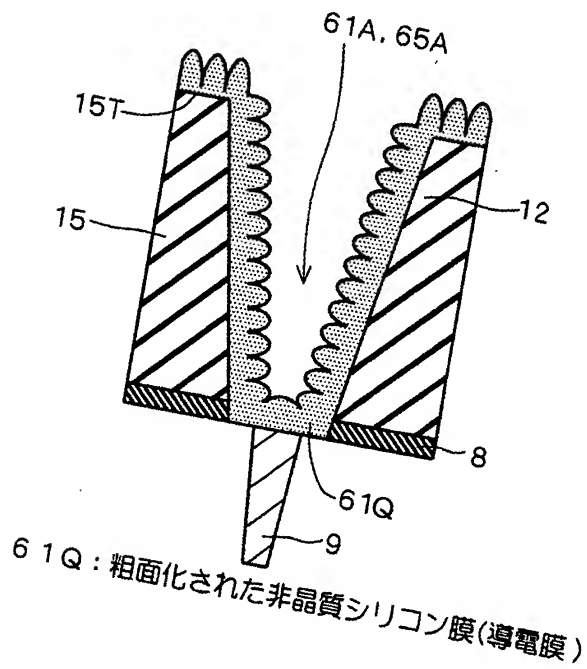


65A: 穴

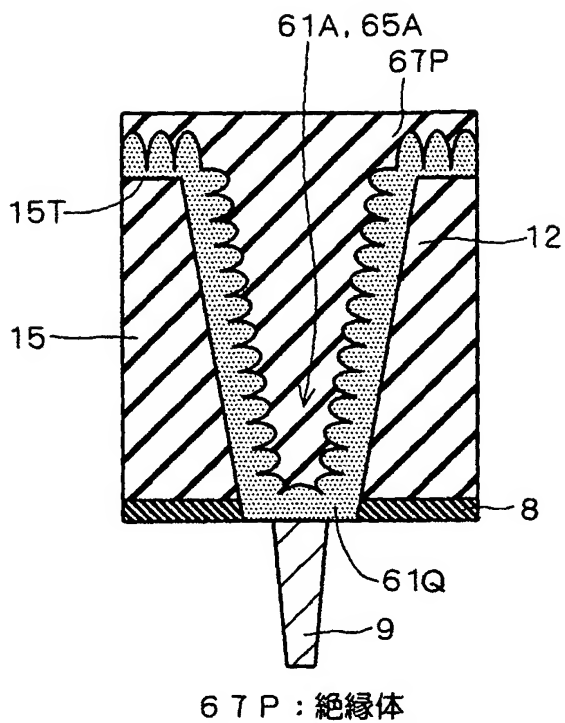
【図31】



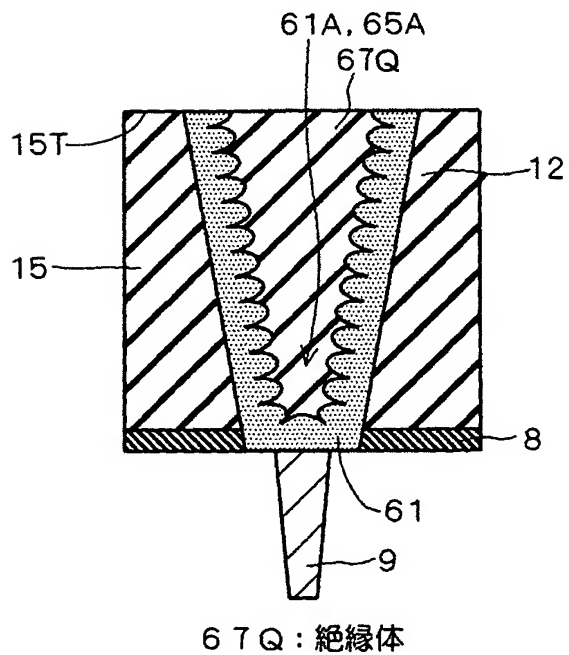
【図32】



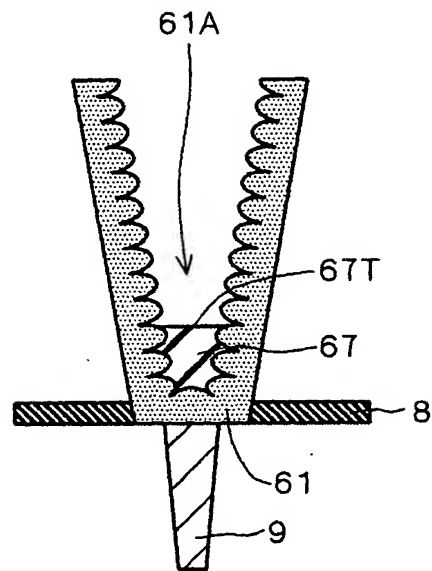
【図 3 3】



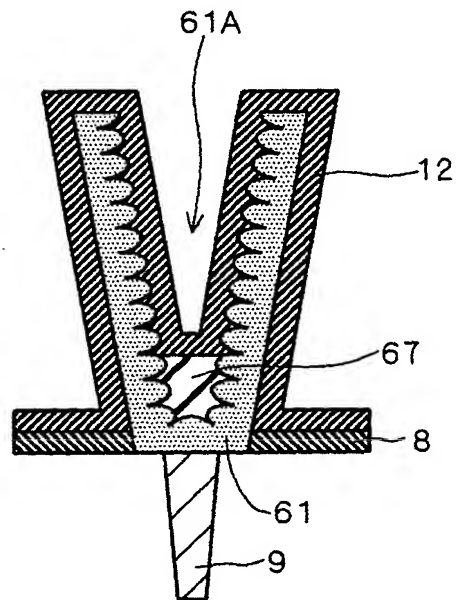
【図 3 4】



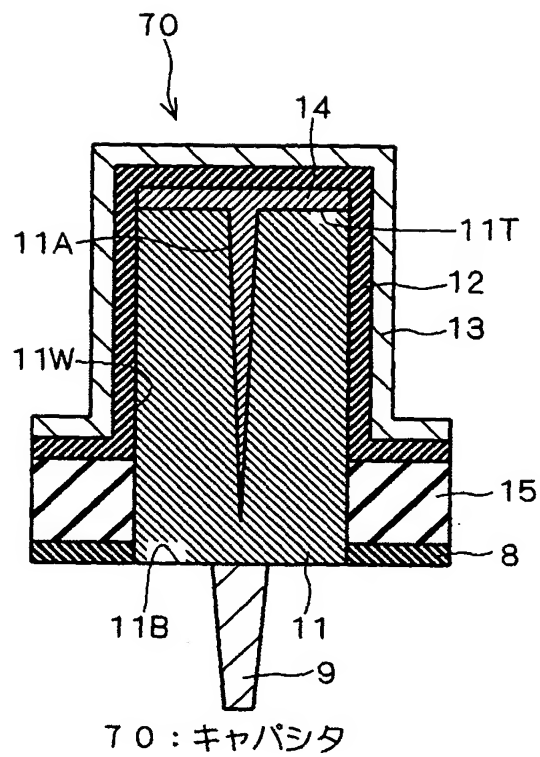
【図 35】



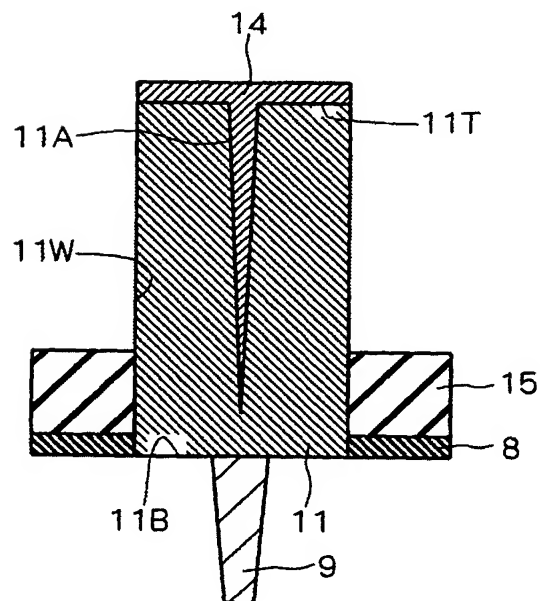
【図 36】



【図 37】

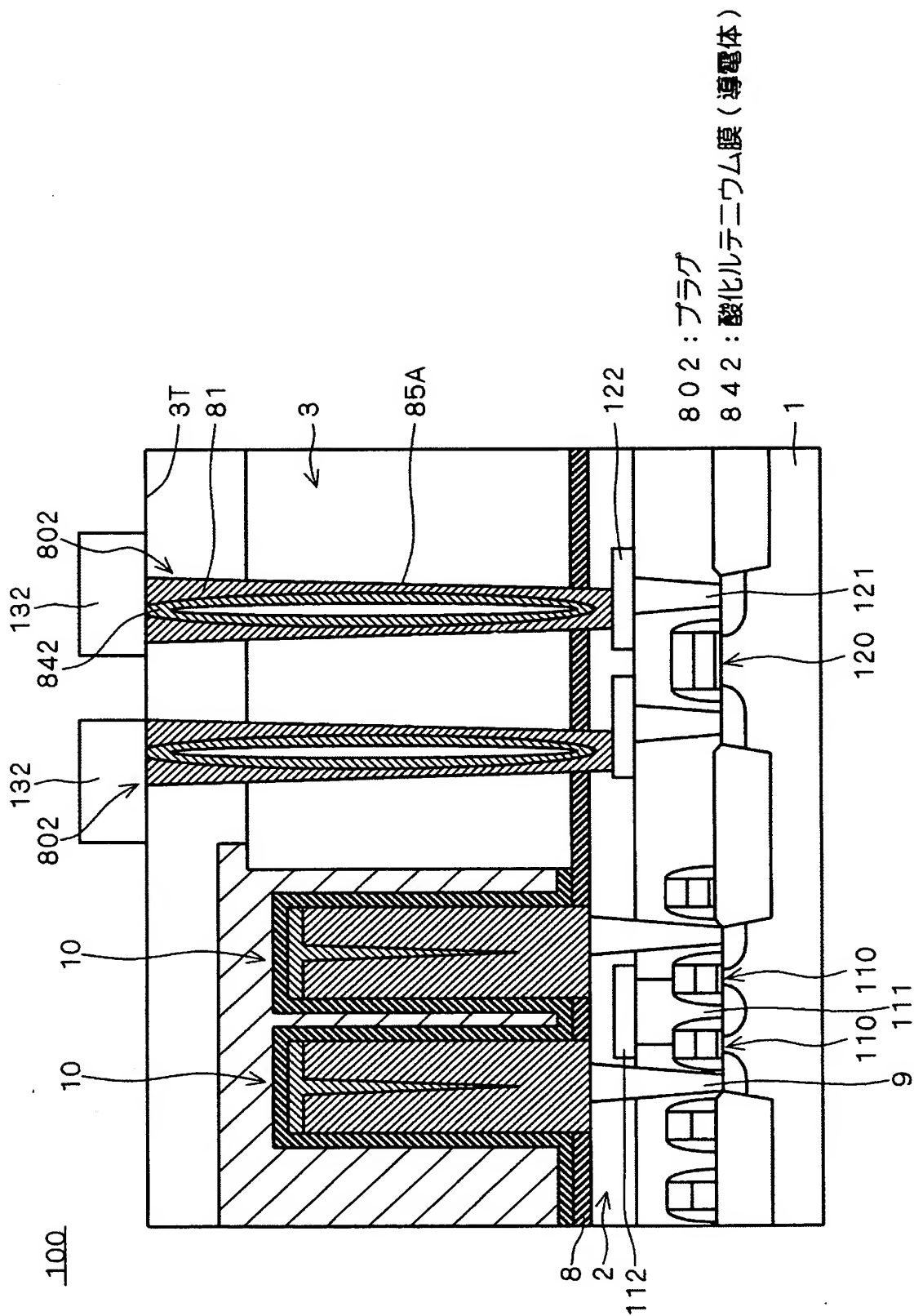


【図 38】

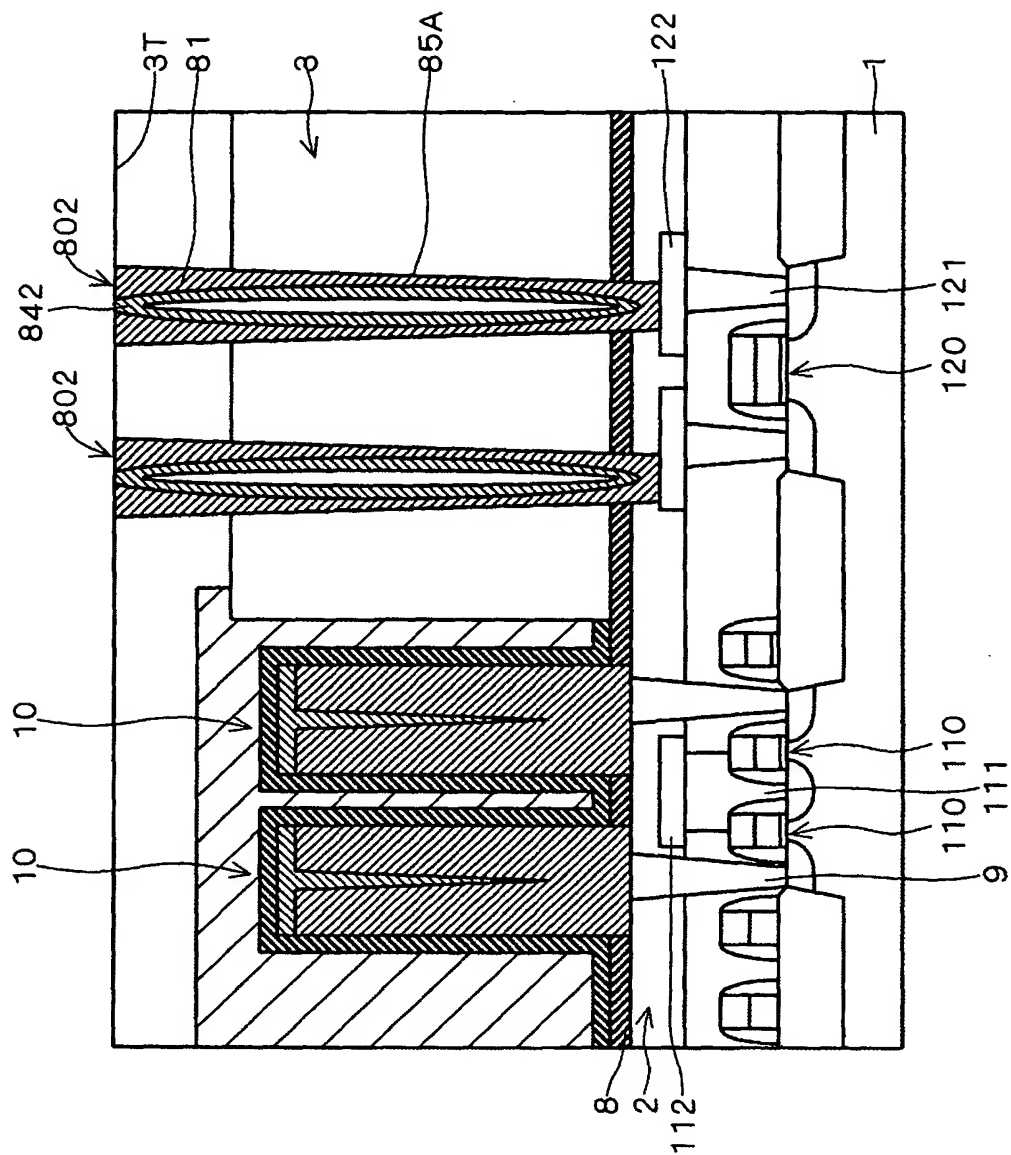




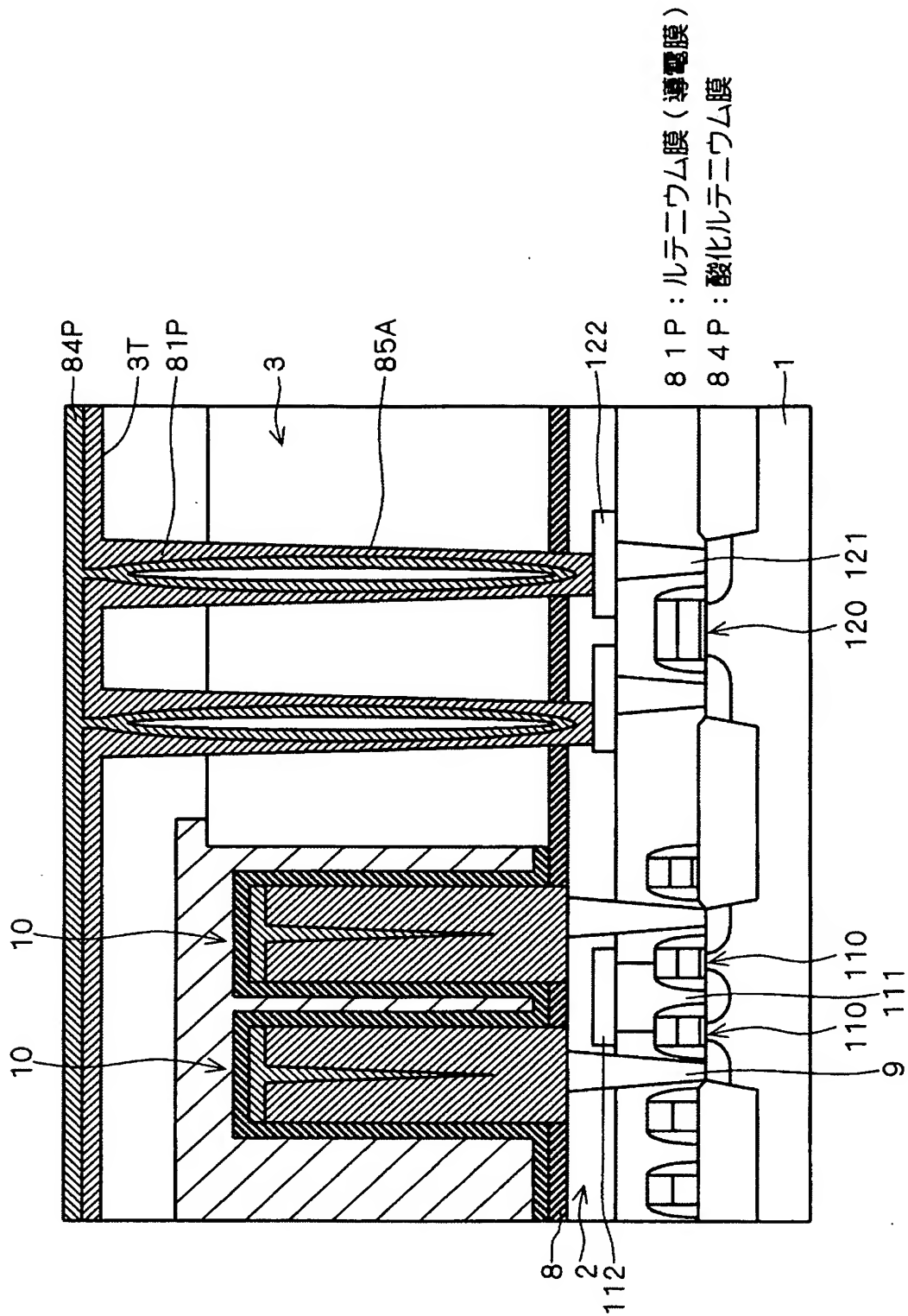
【図 39】



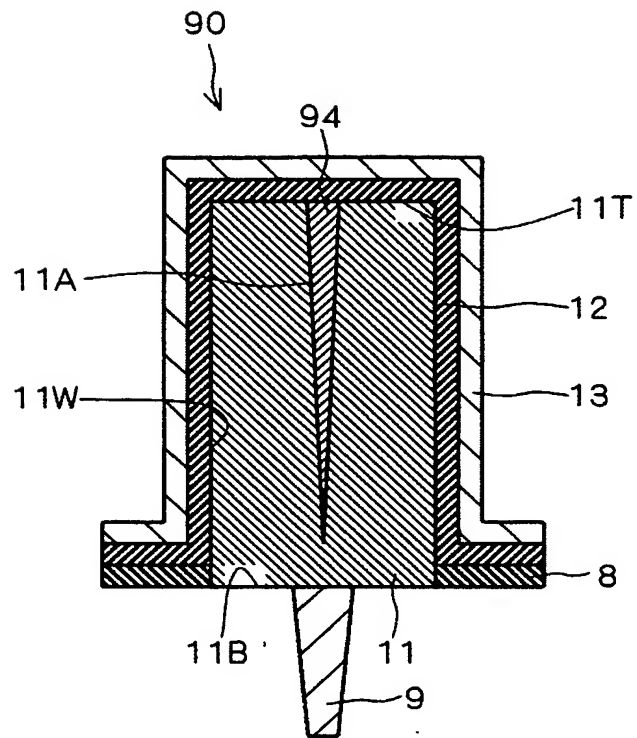
【図 40】



【図 4 1】



【図 4 2】



90 : キャパシタ

94 : 酸化ルテニウム膜 (導電体)

【書類名】 要約書

【要約】

【課題】 例えばキャパシタの下部電極の開口に起因した漏れ電流を防止する。

【解決手段】 ルテニウムから成る下部電極 1 1 は例えば形成時のボイドに起因する開口を有している。下部電極 1 1 の上面上には開口の入り口を塞ぐように酸化ルテニウム膜 1 4 が配置されており、該膜 1 4 は下部電極 1 1 を酸化することによって形成される。同様に、ルテニウムから成るプラグ本体 8 1 の開口の入り口を塞ぐように酸化ルテニウム膜 8 4 1 が配置されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社